

PARTIAL TRANSLATION OF JP2000-147539A

Publication Date: May 26, 2000

Title of the Invention: METHOD FOR MANUFACTURING LIQUID
CRYSTAL DISPLAY DEVICE

Patent Application Number: 10-327078

Filing Date: November 17, 1998

Inventor: H. OGAWARA ET AL.

Applicant: HITACHI LTD.

(Page 7, right column, lines 5-40)

[0092] Furthermore, in the present example, in particular, the respective thin film transistors (TFTs) arranged along a gate signal line (GL) are configured in such a manner that a capacitance C_{gs} between a gate electrode (gate signal line GL) and a source electrode SD1 is small on an input terminal side of the gate signal line and large on a termination side thereof.

[0093] More specifically, FIG. 9(a) shows a thin film transistor on the input terminal side of the gate signal line GL, and FIG. 9(b) shows a thin film transistor on the termination side of the gate signal line GL.

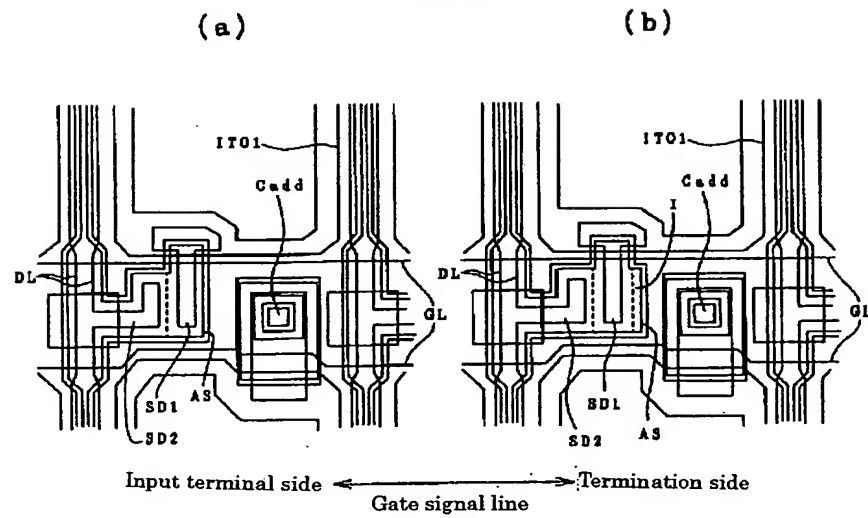
[0094] As is apparent from FIGS. 9(a) and 9(b), a semiconductor layer AS on a source electrode SD1 side of the thin film transistor TFT shown in FIG. 9(b) is formed larger than that shown in FIG. 9(a) (an excessive part is represented by a symbol I), whereby the capacitance C_{gs} between the gate signal line GL and the source electrode SD1 of the thin film transistor TFT on the termination side becomes large.

[0095] More specifically, an area in which the semiconductor layer AS in the vicinity of the source electrode of the thin film transistor on the termination side is overlapped with the gate signal line GL is larger than an area in which the semiconductor layer AS in the vicinity of the source electrode of the thin film transistor on the input terminal side is overlapped with the gate signal line GL.

[0096] In this case, the capacitance C_{gs} of each thin film transistor may be set to increase gradually from the input terminal side of the gate signal line GL to the termination side thereof, or a plurality of thin film transistors adjacent to each other are grouped successively, and the capacitance C_{gs} may be set to increase gradually on the basis of the group.

[0097] According to the above configuration, a shift in a positive direction of a potential of a pixel electrode ITO1 caused by the waveform distortion of a scanning signal to the gate signal line GL is cancelled by a shift in a negative direction of a potential of the pixel electrode ITO1 depending upon the capacitance C_{gs} of a jump-in voltage, whereby the voltage applied to each liquid crystal on the input terminal side and the termination side of the gate signal line GL is set to be equal. This can suppress a flicker of a screen caused by a change in brightness.

FIG. 9



Verification of Translation

U.S. Patent Application No.: 10/049,583

Title of the Invention:

ACTIVE MATRIX TYPE DISPLAY APPARATUS,
METHOD FOR DRIVING THE SAME, AND DISPLAY ELEMENT

I, Yoko SHIMAMOTO, professional patent translator, whose full post office address is IKEUCHI · SATO & Partner Patent Attorneys, 26th Floor, OAP Tower, 8-30, Tenmabashi, 1-Chome, Kita-ku, Osaka-shi, Osaka 530-6026, Japan am the translator of the document attached and I state that the following is a true translation to the best of my knowledge and belief of JP2000-147539A.

At Osaka, Japan
DATED this March 4, 2005

Signature of the translator


Yoko SHIMAMOTO

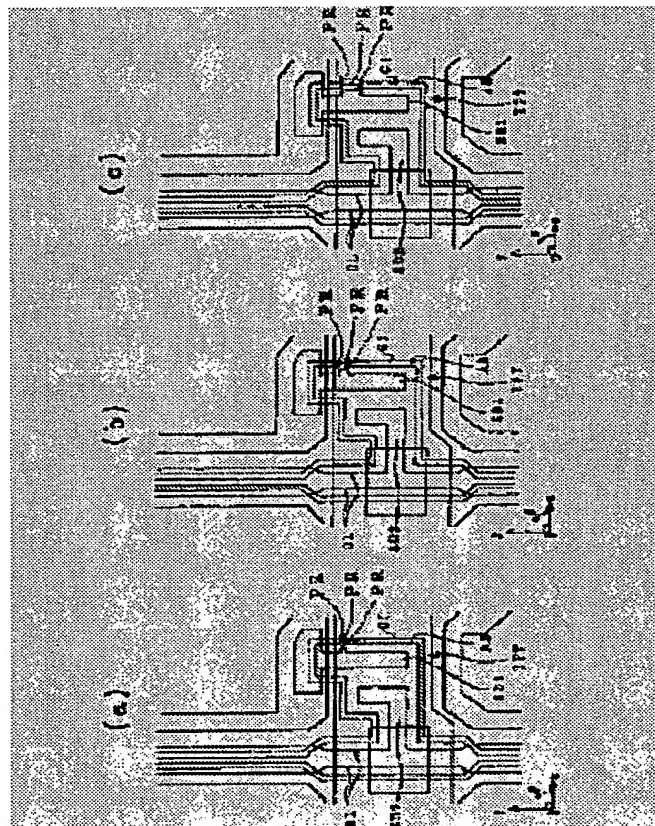
MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP2000147539
Publication date: 2000-05-26
Inventor: OGAWARA HIROSHI; TANAKA TAKESHI; HAKODA
HIDETAKA
Applicant: HITACHI LTD
Classification:
- international: G02F1/1343; G02F1/133; G02F1/136; G09F9/30;
G09G3/36
- european:
Application number: JP19980327078 19981117
Priority number(s): JP19980327078 19981117

Abstract of JP2000147539

PROBLEM TO BE SOLVED: To suppress perfectly the occurrence of a flicker even in a liquid crystal display device of a large display screen by deciding a required capacitance corrective value at every section dividing a prolonged distance of a scanning signal line.

SOLUTION: As a method correcting capacitance of respective pixels and uniformizing the capacitance of these respective pixels along the prolonged direction of the scanning signal line, a projection PR respectively projected outward is formed on a source electrode SD1, a semiconductor layer AS and a gate insulation layer GI of a thin film transistor TFT, and their areas become large by the projection area (a). In the projection PR, the area of projection PR becomes double in a C area (b), and it becomes four times the area in an E area (c). That is, the projection PR (minimum pattern) is increased by one at every B-F area based on a reference pattern (a). Thus, complicated work is evaded when the patterns of respective pixels are changed so that a photomask is designed/formed for correcting the capacitance of respective pixels.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-147539
(P2000-147539A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
	1/133	1/133	5 5 0 2 H 0 9 3
	1/136	1/136	5 0 0 5 C 0 0 6
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 G 3/36		G 0 9 G 3/36	
審査請求 未請求 請求項の数 9 O L (全 33 頁)			

(21) 出願番号 特願平10-327078

(22) 出願日 平成10年11月17日 (1998. 11. 17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大河原 洋

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72) 発明者 田中 武

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74) 代理人 100083552

弁理士 秋田 収喜

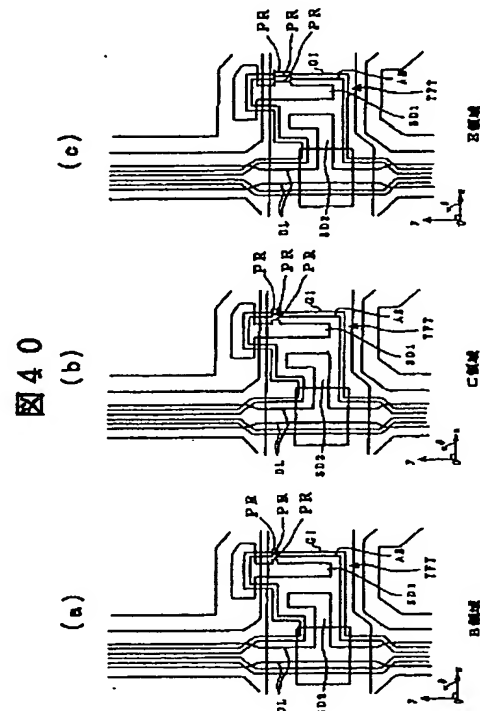
最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【課題】 フリッカの発生を簡単な製造方法で回避できる。

【解決手段】 複数の画素と、これら各画素のうちの幾つかをグループ分けしそれら各グループ毎の画素の駆動を担当する走査信号線とを備える液晶表示装置を試料とし、前記走査信号線の延在方向に沿って各画素における容量を一定にするための補正値を該走査信号線の延在距離との関係で得る工程と、前記補正値を区画する各区分に対応して走査信号線の延在距離を区画する各区分を決定する工程と、前記走査信号線の延在距離の各区分に対応する画素にそれぞれ対応する区分の補正値に応じた容量補正を行う工程と、を備える。



【特許請求の範囲】

【請求項 1】 複数の画素と、これら各画素のうちの幾つかをグループ分けしそれら各グループ毎の画素の駆動を担当する走査信号線とを備える液晶表示装置を試料とし、

前記走査信号線の延在方向に沿って各画素における容量を一定にするための補正値を該走査信号線の延在距離との関係で得る工程と、

前記補正値を区画する各区分に対応して走査信号線の延在距離を区画する各区分を決定する工程と、

前記走査信号線の延在距離の各区分に対応する画素にそれぞれ対応する区分の補正値に応じた容量補正を行う工程と、を備えることを特徴とする液晶表示装置の製造方法。

【請求項 2】 複数の画素と、これら各画素のうちの幾つかをグループ分けしそれら各グループ毎の画素の駆動を担当する走査信号線とを備える液晶表示装置を試料とし、

前記走査信号線の延在方向に沿って各画素における容量を一定にするための補正値を該走査信号線の延在距離との関係で得る工程と、

前記走査信号線の延在距離を区画する各区分に対応して補正値を区画する各区分を決定する工程と、

前記補正値の各区分に対応する画素にそれぞれ対応する区分の補正値に応じた容量補正を行う工程と、を備えることを特徴とする液晶表示装置の製造方法。

【請求項 3】 液晶表示装置は、液晶を介して対向配置される透明基板のうち一方の透明基板の液晶側の面の各画素領域に、走査信号線からの走査信号によって駆動されるスイッチング素子と、このスイッチング素子を介して映像信号線からの映像信号が供給される画素電極とが備えられていることを特徴とする請求項 1、2 のうちいずれか記載の液晶表示装置の製造方法。

【請求項 4】 前記補正値の各区分は等間隔に行うことを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【請求項 5】 前記走査信号線の延在距離の各区分は等間隔に行うことを特徴とする請求項 2 記載の液晶表示装置の製造方法。

【請求項 6】 各画素の補正は、前記補正値の各区分毎に行うとともに、各区分の補正値に基づく最小単位のパターンの数に対応させて、画素パターンを変更させることを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

【請求項 7】 各画素の補正は、前記走査信号線の延在距離の各区分毎に行うとともに、各区分の補正値に基づく最小単位のパターンの数に対応させて、画素パターンを変更させることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 8】 各画素の補正は、前記補正値の各区分毎に行うとともに、各区分の補正値に基づく露光パターン

の光源に対する移動によって、画素パターンを変更させることを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

【請求項 9】 各画素の補正は、前記走査信号線の延在距離の各区分毎に行うとともに、各区分の補正値に基づく露光パターンの光源に対する移動によって、画素パターンを変更させることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

10 【0001】

【発明の属する技術分野】本発明は液晶表示装置の製造方法に係り、特に、アクティブ・マトリクス型の液晶表示装置の製造方法に関する。

【0002】

【従来の技術】この種の液晶表示装置は、液晶を介して互いに対向配置される一対の透明基板のうち一方の透明基板の液晶側の面に x 方向に延在し y 方向に並設されたゲート信号線と y 方向に延在し x 方向に並設されたドレイン信号線とが備えられ、これら各信号線に囲まれた各領域を画素領域としている。

20 【0003】そして、画素領域のそれぞれには、前記ゲート信号線からの走査信号によってオンされる薄膜トランジスタと、このオンされた薄膜トランジスタを介して前記ドレイン信号線からの映像信号が印加される画素電極とが備えられている。

【0004】このような液晶表示装置はコントラストを良好に構成でき、特にカラー液晶表示装置では欠かせない技術となっている。

30 【0005】なお、ゲートバスラインの波形歪みにより末端付近の TFT 駆動能力が低下するのを防止するために、TFT のサイズをゲートバスラインの末端に行くに従い大きくする先行技術には特開平 9-258261 号公報がある。しかし上記先行技術には、TFT のサイズを変えずに、ゲート、ソース間容量 (Cgs) を介して、画素電極に入り込む電圧 (ΔV) の量を一定にするという思想は全くなかった。

40 【0006】従って先に述べた先行技術では、TFT のサイズが表示領域の各場所毎に異なるので、TFT の駆動条件が各場所毎に異なり、液晶表示装置の最適駆動条件を見つけるのが難しく、液晶表示装置の設計も複雑になるという課題があった。

【0007】

【発明が解決しようとする課題】しかし、このような液晶表示装置において、近年における大型化および高精細化の傾向にともない、いわゆるフリッカと称される画面のちらつきが無視できない問題として発生するに到った。特に表示領域の対角線の長さが 34 cm (13 型) 以上の液晶表示装置では無視出来ない問題になってきた。

50 【0008】そこで、本発明者等はフリッカの生じる原

困を追及した結果、次のことが判明するに到った。

【0009】まず、ゲート信号線を長く形成しなければならないことから、該信号線の抵抗と容量の影響によって、それに入力される走査信号線が終端側にかけて波形歪みが生じてしまうことになる。

【0010】この波形歪みは、薄膜トランジスタのゲート・オフのタイミングを遅らせることになるとともに、ゲート・オフ時のゲート・ソース間容量を介して飛び込む電圧によるソース電極電位低下成分を小さくさせてしまう。このことは、ゲート信号線の入力端子側に対して終端側のソース電極電位が高くなることを意味する。

【0011】このため、画素電極と液晶を介して対向する電極（共通電極）は表示面内に一様に一定の電位が印加されていることから、該液晶に印加される電圧はゲート信号線の入力端子側と終端側とで異なってしまうことになる。

【0012】そして、液晶の分極を回避するため液晶に印加される電位を反転させる交流化駆動が行われているため、ゲート信号線の入力端子側と終端側とで液晶の印加電圧の大小関係が交流化駆動の1/2周期毎に反転することになり、輝度変化による画面のちらつきが生じることになる。

【0013】特に13型の液晶表示装置は縦20cm、横27cmの表示領域を有し、ゲート信号線の長さは27cm以上になり、ゲート信号線の入力端子側と終端側では、ゲート・ソース間容量を介して飛び込む電圧の差は、無視出来ない程大きくなる。

【0014】従ってゲート信号線の長さが27cm以上（13型以上）の液晶表示装置では、もはや共通電極の電位を調節するだけでは、フリッカを完全に消すことが困難な状況になってきた。

【0015】また、フォトリソグラフィ技術を用いた選択エッチングによって各信号線および薄膜トランジスタを形成する場合、露光装置の光学系の歪みあるいは透明基板の撓み等によって、各画素領域毎の薄膜トランジスタのパターンを完全に均一化することが困難となっている。

【0016】この場合、該パターンのばらつきによって薄膜トランジスタのゲート・ソース間容量が均一でなくなると、ゲート・オフ時のゲート・ソース間容量によるソース電位の低下量が画面内で一定でなくなる。

【0017】したがって、この場合においても、上述したと同様の理由で、輝度変化による画面のちらつきが生じることになる。

【0018】本発明は、このような事情に基づいてなされたものであり、その目的は、表示画面の大きな液晶表示装置でもフリッカの発生を完全に抑制できる液晶表示装置の製造方法を提供することにある。

【0019】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0020】すなわち、本発明による液晶表示装置の製造方法は、複数の画素と、これら各画素のうちの幾つかをグループ分けしそれら各グループ毎の画素の駆動を担当する走査信号線とを備える液晶表示装置を試料とし、前記走査信号線の延在方向に沿って各画素における容量を一定にするための補正値を該走査信号線の延在距離との関係で得る工程と、前記補正値を区画する各区分に対応して走査信号線の延在距離を区画する各区分を決定する工程と、前記走査信号線の延在距離の各区分に対応する画素にそれぞれ対応する区分の補正値に応じた容量補正を行う工程と、を備えることを特徴とするものである。

【0021】このように構成された液晶表示装置の製造方法は、上述した試料を基にして、走査信号線の延在距離を区画する各区分ごとに、必要とする容量補正値を決定でき、その容量補正値に基づいて容量の補正を行うことができる。

【0022】このため、極めて簡単な方法で、走査信号線の延在方向に沿って形成される各画素の容量をほぼ均一化させることができるようになる。

【0023】したがって、表示画面の大きな液晶表示装置でもフリッカの発生を完全に抑制できる液晶表示装置を得ることができるようになる。

【0024】

【発明の実施の形態】以下、本発明による液晶表示装置の一実施例を図面を用いて説明をする。

【0025】実施の形態1

《液晶表示パネルの等価回路》図2は、液晶表示パネルを構成する透明基板のうち一方の透明基板（TFT基板）側の等価回路を示す回路図である。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【0026】図2におけるTFT基板TFT-LCDの液晶側の面には、そのx方向に延在しy方向に並設されるゲート信号線（走査信号線とも呼ぶ。）GLと、これらゲート信号線GLに絶縁されy方向に延在しx方向に並設されるドレイン信号線（映像信号線とも呼ぶ。）DLとが形成されている。

【0027】ゲート信号線GLとドレイン信号線DLとで囲まれる矩形状の領域は画素領域を構成するようになっており、これら各画素領域には一方のゲート信号線GLからの走査信号（電圧）の供給によってオンされる薄膜トランジスタTFTと、このオンされた薄膜トランジスタTFTを介して一方のドレイン信号線から供給される映像信号（電圧）が印加される画素電極ITO1とが備えられている。

【0028】この画素電極ITO1は、たとえばIndium-Tin-Oxideからなる透明導電層から構成されている。

【0029】また、この画素電極ITO1と他方のゲート信号線GLとの間には付加容量素子Caddが備えられ、薄膜トランジスタTFTがオフした際に画素電極ITO1に印加された映像信号を長く蓄積できるように構成されている。

【0030】なお、各画素電極ITO1の部分にはR、G、Bのいずれかの記号が付されているが、それらは色の三原色である赤、緑、青を示し、それぞれの画素領域において対応する色を担当するようになっている。具体的にはTFT基板（第1の透明基板SUB1）と対向して配置されるフィルタ基板（第2の透明基板SUB2）側に対応する色のフィルタが形成されるようになっている。

【0031】そして、このような表示パネルには、外付け回路として走査信号線駆動回路部104および映像信号線駆動回路部103が接続されるようになっている。

【0032】走査信号線駆動回路104からは各ゲート信号線に順次走査信号が入力され、そのタイミングに合わせて映像信号線駆動回路部103から各ドレイン信号線に映像信号が入力されるようになっている。

【0033】さらに、走査信号線駆動回路部104および映像信号線駆動回路部103には電源部102およびコントローラ部101が接続され、これにより各回路部には電源供給がなされるとともに信号等を送信するようになっている。

【0034】なお、このように構成されたTFT基板TFTと液晶を介して対向配置される他の透明基板（フィルタ基板）の液晶側の面には、画素領域の枠を縁取るようにしてブラックマトリクス層が形成され、画素領域を被うようにし、かつその周辺が該ブラックマトリクス層BM上に重畳するようにしてカラーフィルタが形成されている。

【0035】そして、これらブラックマトリクス層およびカラーフィルタをも覆って形成される保護膜を介して透明導電層からなる共通電極が形成されている。

【0036】さらに、この共通電極の上面には液晶の配向を規制する配向膜が形成されている。

【0037】《画素領域の構成》図3は、図2の点線枠Aに対応する画素領域の具体的な構成を示す平面図である。

【0038】なお、図3のIV-IV線における断面図を図4に、V-V線における断面図を図5に、VI-VI線における断面図を図6に示している。

【0039】まず、透明基板SUB1の液晶側の面に、そのx方向に延在しy方向に並設されるゲート信号線GLが形成されている。

【0040】このゲート信号線GLは、たとえばアルミニウムからなる導電層glの表面にアルミ酸化膜AOF（陽極化成によって形成）が形成された材料から構成されている。

【0041】そして、このゲート信号線GLと後述するドレイン信号線DLとで囲まれる画素領域の大部分には、透明導電膜（たとえばIndium-Tin-Oxide）からなる画素電極ITO1が形成されている。

【0042】画素領域の図面左下側のゲート信号線GL上の一部は薄膜トランジスタTFTの形成領域となっており、この領域には、たとえばSiNからなるゲート絶縁膜GI、i型非晶質Siからなる半導体層AS、ドレイン電極SD2およびソース電極SD1が順次積層されて形成されている。

【0043】なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、この明細書では画素電極ITO1と直接接続される側の電極をソース電極として固定して表現する。

【0044】そして、ドレイン電極SD2およびソース電極SD1はドレイン信号線DLと同時に形成されるようになっている。

【0045】すなわち、ドレイン信号線DLは、その形成領域に、予め薄膜トランジスタTFTのゲート絶縁膜GI、半導体層ASの形成と同時に形成された絶縁膜GI、半導体層AS上に形成され、たとえばクロムとアルミニウムの順次積層体によって形成されている（図5参照）。ドレイン信号線DLの形成領域に絶縁膜GI、半導体層ASを形成しているのは、たとえばドレイン信号線DLの段差乗り越えを少なくするためである。

【0046】薄膜トランジスタTFTのドレイン電極SD2はドレイン信号線DLと一体に形成され、またソース電極SD1はドレイン電極SD2と所定のチャネル長分だけ離間されて形成されているとともに前記画素電極ITO1の一部に延在されて直接重畳されて形成されている。

【0047】また、付加容量素子Caddは、図6に示すように、ゲート信号線（薄膜トランジスタTFTを駆動するゲート信号線と隣接する他のゲート信号線）GLを一方の電極、ドレイン信号線DLと同時に形成する導電層d1及び画素電極ITO1と同時に形成され導電層d1と重畳する導電層ITO2を他方の電極とし、それらの間に介在される絶縁膜である、アルミニウムの酸化膜AOF（窒化シリコン膜GIでもよい）を誘電体膜として構成されている。

【0048】絶縁膜GI、半導体層ASは、薄膜トランジスタTFTにおけるそれらの形成と同時に形成されるようになっており、また、他方の電極である導電層d1は前記画素電極ITO1の一部に延在されて直接重畳されて形成されている。

【0049】そして、このように構成された画素領域の表面にはSiNからなる保護膜PSV1が形成され、液晶の薄膜トランジスタTFTへの直接の接触による特性

劣化を回避するようになっている。

【0050】また、保護膜 P S V 1 の表面の全域には液晶の配向を規制するための配向膜（図示せず）が形成されている。

【0051】《T F T の動作》図 15 は T F T アクティブマトリックス液晶表示装置の単位画素の等価回路を示す図である。

【0052】薄膜トランジスタ T F T はソース電極に対してゲート電極を正の電圧によりバイアスすることによってオン状態（ソースとドレイン間の抵抗値が小さくなる）となり、ゲート電極に供給されるバイアスを零に近くすることによってオフ状態、すなわちソースとドレイン間の抵抗値が大きくなるという伝達特性を持つ。

【0053】図 16 には、図 15 に示した液晶表示装置の動作の一例を説明するための波形図が示されている。

【0054】なお、図 16 において示された各信号 V G、V D 及び画素 P I X の電圧 P X V は、それらが互いに重なることによって各波形の区別が不明瞭になるのを防止するために、信号 V G、V D 及び P X V の順に時間的にずらして描いている。

【0055】走査信号（ゲート信号）V G のハイレベルに応じて選択されたゲート信号線 G i（G L）に結合される画素 P I X に映像信号線 D L から供給される映像信号（ドレイン信号）V D の書き込みが行われる。このとき、画素 P I X の電圧 P X V は、図 16 に点線で示すように、上記オン状態にされる T F T が抵抗成分をもつこと、及び画素 P I X が容量性素子 C p i x であることから、それに応じた時定数に従って立ち上がる。図 16 では最初は、画素（又は液晶セル）を高い階調の状態にする正のレベルの映像信号 V D が示されている。次のゲート信号線 G i + 1（G L）の選択に応じて、図 16 に示された走査信号 V G は、ハイレベルの選択レベルからロウレベルの非選択レベルにされる。これによって、T F T はオフ状態にされるから上記書き込まれた映像信号 V D は、容量性素子 C p i x として作用する画素 P I X に保持される。走査信号 V G のハイレベルからロウレベルの切り換えに応じて、画素の電圧 P X V は、画素 P I X（あるいは T F T のソース電極またはドレイン電極の中で画素電極に接続される電極。以下説明の都合上、ソース電極として扱う。）と T F T のゲート電極間の寄生容量 C g s によって電位低下成分 ΔV が生じる。なお、走査信号 V G のロウレベルからハイレベルの切り換えで、ゲート・ソース間のカップリング C g s により画素 P I X に飛び込む電圧は、ドレイン信号線 X i（D L）からの映像信号 V D の書き込みにより打ち消すことが出来るが、走査信号 V G のハイレベルからロウレベルの切り換え時に画素 P I X に飛び込む電圧は、映像信号 V D の書き込みにより打ち消すことが出来ない。

【0056】図 16 では、この後 1 フレームの間、低い階調レベルの映像信号 V D が供給されるように描かれて

いる。

【0057】一般に液晶表示装置は交流駆動を行っているために、走査信号 V G の 1 周期毎に映像信号 V D の極性は、正／負のように切り替えられて供給される。

【0058】すなわち図 16 に示すように、走査信号 V G が再びハイレベルの選択レベルにされると、映像信号 V D は、負極性の所望の階調レベルにされる。なお、図 16 では負極性の高階調レベルにした例を示している。この場合においても、上記オン状態にされる T F T が抵抗成分をもつこと、及び画素 P I X が容量性素子 C p i x であることから、画素の電圧 P X V はそれに応じた時定数に従って立ち下がる。次のゲート信号線 G i + 1（図示せず）の選択に応じて、図 16 に示された走査信号 V G は、ハイレベルの選択レベルからロウレベルの非選択レベルにされる。これによって、T F T はオフ状態にされるから上記映像信号 V D は、容量性素子 C p i x として作用する画素 P I X に保持される。

【0059】走査信号 V G のハイレベルからロウレベルの切り換えに応じて、画素の電圧 P X V は T F T のゲート電極とソース電極間の寄生容量 C g s によって上記と同様電位低下成分 ΔV が生じる。また正極性の時と同様に、走査信号 V G のロウレベルからハイレベルの切り換えで、ゲート・ソース間のカップリング C g s により画素 P I X に飛び込む電圧は、ドレイン信号線 X i からの映像信号 V D の書き込みにより打ち消すことが出来るが、走査信号 V G のハイレベルからロウレベルの切り換え時に画素 P I X に飛び込む電圧は、映像信号 V D の書き込みにより打ち消すことが出来ない。従って負極性の時も正極性と同様にゲート・ソース間のカップリング C g s により画素 P I X に飛び込む電圧は、画素の電圧 P X V を負の方向に低下させる。

【0060】図 16 では、この後 1 フレームの間、負極性の低い階調レベルの映像信号 V D が供給されるように描かれている。

【0061】以上に説明の通り、液晶交流駆動の正極性及び負極性共に、走査信号 V G がハイレベルからロウレベルに変化すると、T F T のゲート電極とソース電極間の寄生容量 C g s によって、画素の電圧 P X V は、書き込む時点の映像信号 V D のレベルに対して、図 16 に点線で示すように、電位低下成分 ΔV が生じる。

【0062】従って液晶表示パネルの共通電極 C O M に与えられるバイアス電圧 V c o m は、図 16 に二点鎖線で示すように、上記画素の電圧 P X V の、正極性及び負極性の間の、実質的な中間のレベル（最適な共通電極電圧）に設定される。すなわち共通電極 C O M に、画素電圧 P X V の電位低下 ΔV を考慮した、最適な共通電極電圧を与えることにより、液晶の実質的な交流駆動を行うことが出来る。

【0063】もし共通電極 C O M に与えられるバイアス電圧 V c o m が上述した最適な共通電極電圧からずれた

場合は、液晶交流駆動の正極性と負極性の期間で液晶に印加される電圧 V_{lc} に差を生じ、フリッカと呼ばれる周期的な輝度変化を生じ、表示画質が著しく低下する。

【0064】《保持容量素子の動作》図15において、 C_{gs} は先に述べた薄膜トランジスタTFTのゲート電極とソース電極との間に形成される寄生容量である。寄生容量 C_{gs} の誘電体はゲート電極とソース電極間の層間絶縁膜である。 C_{pix} は透明画素電極PIXと共通*

$$\text{【数1】 } \Delta V = \{C_{gs} / (C_{gs} + C_{ds1} + C_{ds2} + C_{add} + C_{pix})\} \times \Delta V_G \cdots \text{式1}$$

ここで ΔV は、先に説明した、走査信号の電位変化 ΔV_G による画素電圧PXVの電位低下成分を表す。この電位低下成分 ΔV は液晶に加わる直流成分の原因となるが、保持容量 C_{add} を大きくすればする程、上記画素電圧PXVの電位低下成分 ΔV を小さくすることができる。また、保持容量素子 C_{add} は放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶に印加される直流成分の低減は、液晶の寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0067】なお、図15及び式1で C_{ds1} は薄膜トランジスタのソース電極SD1とドレイン電極SD2間の寄生容量で、画素電極PIXとドレイン信号線Di間の容量でもある。

【0068】また C_{ds2} は画素電極PIXと、それと隣接するドレイン信号線Di+1間の寄生容量を示し、 C_{gd} はゲート電極とドレイン電極間の寄生容量を示す。

【0069】図3に示すように、ゲート電極GLはi型半導体層ASを覆うように大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、画素電極電位PXVは走査信号VGの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子 C_{add} を設けることにより、画素電極電位PXVが寄生容量 C_{gs} の影響を受け難くするという効果がある。

【0070】本実施形態では画素の容量がおよそ150fFなので、保持容量素子 C_{add} の容量は、書き込み特性を考慮し、およそ100fFにしている。寄生容量 C_{gs} がおよそ15fFなので、保持容量素子 C_{add} の容量は寄生容量 C_{gs} の6倍以上になっている。

【0071】また図2、図3及び図6では隣接する画素のゲート信号線GLの一部と画素電極ITO1を絶縁膜を介して重ねることにより、保持容量 C_{add} を形成している、付加容量方式の例を示しているが、保持容量 C_{add} はこれに限るものでなく、図12、図13及び図14に示すように、ゲート信号線GLとは別に容量線CLを設け容量線CLと画素電極ITO1を絶縁膜を介して重ねることにより、保持容量 C_{add} を形成する蓄積

*透明画素電極COMとの間に形成される液晶容量である。液晶容量 C_{pix} の誘電体膜は液晶及び配向膜である。 V_{lc} は液晶に印加される電圧である。

【0065】保持容量素子 C_{add} は、薄膜トランジスタTFTがスイッチングするとき、画素電極電位PXVに対する走査信号の電位変化 ΔV_G の影響を低減するように働く。この様子を式で表すと式1となる。

【0066】

容量方式でもよい。本実施例において付加容量方式は、開口率が高く出来るという長所と、ゲート信号線GLの分布容量が大きくなる短所を持つ。また本実施例において蓄積容量方式はゲート信号線GLの分布容量を小さく出来る長所と、開口率が容量線CLを設けた分低下する点及び製造工程が増える等の短所がある。

【0072】《寄生容量 C_{gs} のばらつき防止対策》従来は液晶表示装置の表示領域は10型（対角25.4cm）よりも小さかったので、ゲート電極・ソース電極間の寄生容量 C_{gs} の製造上のばらつきは少なく、共通電極COMに与える最適な共通電極電圧 V_{com} は一義的に決まった。

【0073】しかし、液晶表示装置の表示領域が13型（対角34cm）よりも大きくなると、寄生容量 C_{gs} の製造上のばらつきが大きくなり、共通電極COMに与える最適な共通電極電圧 V_{com} は表示領域の各部分で大きく異なり、一義的に決まらないという課題が生じるようになった。

【0074】上記課題を解決するために、本実施例では、特に、前記薄膜トランジスタTFTのソース電極SD1において、その拡大図である図1に示すように、画素電極ITO1と接続される部分であってゲート電極と重畳する部分から重畳しなくなる部分にて、その幅が薄膜トランジスタのチャネル幅 w よりも小さく形成されている。

【0075】すなわち、同図において、ドレイン電極SD2はドレイン信号線DLからゲート信号線GL上をその走行方向に沿って延在された後に画素電極ITO1側へ指向するように屈曲されて形成されている。

【0076】この場合、ドレイン電極SD2として実質的に機能するのは画素電極ITO1側へ指向された屈曲部であり、その長さは薄膜トランジスタTFTのチャネル幅 w を決定づけることになる。

【0077】また、ソース電極SD1はこのドレイン電極SD2の屈曲部と対向してチャネル長 l に相当する分だけ離間されて配置され、そのまま、画素電極ITO1側へ延在されて該画素電極ITO1との接続が図られている。

【0078】従ってソース電極SD1のドレイン電極SD2と対向している辺の長さが前記チャネル幅となる。

【0079】ここで、該ソース電極SD1の延在方向に直交する幅w0の長さが前記チャネル幅wより小さく形成されている。

【0080】このように構成されるソース電極SD1は、それを形成する際にたとえば図中y方向に位置ずれを起こして形成されても、該ソース電極SD1のゲート信号線GLに対する重畳部の面積は大きく変化することはない。ソース電極SD1の延在方向に直交する幅w0の長さが比較的小さく形成されているからである。

【0081】また、図中x方向に位置ずれを起こした場合には、該ソース電極SD1のゲート信号線GLに対する重畳部の面積の変化は全くないことになる。

【0082】このことから、たとえ回転方向θに位置ずれを起こしても、該ソース電極SD1のゲート信号線GLに対する重畳部の面積は大きく変化することはない。

【0083】したがって、各画素領域の薄膜トランジスタTFTは、そのゲート電極とソース電極との容量Cgsをほぼ均一に形成できることになり、フリッカの発生を抑制できることになる。

【0084】このような効果は、ドレイン電極SD2とソース電極SD1とのパターンを図1に示したもののみによって得られるというのではなく、たとえば、図7(a)ないし図7(d)に示すような各パターンにすることによっても同様に得られることはいふまでもない。

【0085】この場合、上述した実施例では、ソース電極SD1は画素電極ITO1に接続させるための延在部を除いてドレイン電極SD2と対称関係にあるように構成したものである。

【0086】しかし、図8に示すように、ソース電極SD1をそれと接続させるための画素電極ITO1と反対側の方向にそのまま延在させてゲート信号線GLを越えるようにして形成するようにしてもよいことはいふまでもない。

【0087】この場合、このソース電極SD1が、隣接する画素領域の画素電極ITO1と接続してしまうのを回避するため、該ゲート信号線GLに一部切欠きGLCを設けるようにして、該ゲート信号線GLを越えるように構成している。

【0088】換言すれば、実質的に電極として機能しない他の部分と一体的に形成されるソース電極SD1はゲート信号線GLと交差するようにして形成されていることにある。

【0089】このように構成されるソース電極SD1は、それを形成する際にたとえば図中x方向はもちろんのこと、たとえy方向に位置ずれを起こして形成されても、該ソース電極SD1のゲート信号線GLに対する重畳部の面積は全く変化することはない。

【0090】このことから、たとえ回転方向θに位置ずれを起こしても、該ソース電極SD1のゲート信号線GLに対する重畳部の面積は全く変化することはない。

【0091】したがって、各画素領域の薄膜トランジスタTFTは、そのゲート電極とソース電極との容量Cgsを均一に形成できることになり、フリッカの発生を大幅に抑制できることになる。

【0092】さらに、この実施例では、特に、ゲート信号線GLに沿って配列されるそれぞれの薄膜トランジスタTFTにおいて、そのゲート電極（ゲート信号線GL）とソース電極SD1との間の容量Cgsが、ゲート信号線の入力端子側で小さく終端側で大きくなるように構成されている。

【0093】すなわち、図9(a)はゲート信号線GLの入力端子側の薄膜トランジスタを示し、図9(b)はゲート信号線GLの終端側の薄膜トランジスタを示している。

【0094】図9(a)、図9(b)から明らかになるように、図9(b)に示す薄膜トランジスタTFTのソース電極SD1側の半導体層ASが図9(a)に示すそれよりも大きく形成されることによって（その過剰分を符号Iで示している）、終端側の薄膜トランジスタTFTのゲート信号線GLとソース電極SD1との間の容量Cgsが大きくなるようになっている。

【0095】すなわち、入力端子側の薄膜トランジスタのソース電極近傍の半導体層ASがゲート信号線GLと重なる面積よりも、終端側の薄膜トランジスタのソース電極近傍の半導体層ASがゲート信号線GLと重なる面積が大きくなっている。

【0096】この場合、ゲート信号線GLの入力端子側から終端側へかけての各薄膜トランジスタTFTの容量Cgsは順次大きくなるように構成しても、あるいは、隣接する複数の各薄膜トランジスタを順次グループ化し、これらグループ毎に順次大きくなるように構成してもよい。

【0097】このように構成することによって、ゲート信号線GLへの走査信号の波形歪みによる画素電極ITO1の電位の正方向へのシフトを、飛び込み電圧の前記容量Cgsに依存する画素電極ITO1の電位の負方向へのシフトで相殺させることで、ゲート信号線GLの入力端子側と終端側の各液晶に印加される電圧を等しくさせている。このため、輝度変化による画面のちらつきを押さえることができる。

【0098】一般に液晶パネルにおける1ラインの書込み時間は、走査信号線駆動回路部104から出力されるTFTオン信号の幅で決まる時間内に完了する。

【0099】しかしながら、TFTオン信号は、水平走査周波数によってその幅が一義的に決まる矩形パルスであり、一般に、矩形パルスでは、その立ち上がりや立ち下りの電流変化分(di/dt)が大きいと、信号経路中の時定数の影響を受けやすく、実際の立ち上がりや立ち下り波形が時定数カーブに沿った曲線的な波形（以下、この曲線的な波形のことを“波形歪み”と

称し曲率が大きい波形のことを“波形歪みが大きい”という)になるから、しかも、その波形歪みは信号経路の終端に近づくにつれて大きくなるから、前述の画素電圧 PXV の電位低下成分 ΔV は走査信号線の終端になるにつれて少なくなり、その結果、走査信号線の入力端子側に対して終端側の画素電圧(ソース電極電位)が高くなる。

【0100】かかる問題点は、特に、画素数を増大した場合や、画面サイズ(特に走査線方向のサイズ)を大きくした場合に顕著である。

【0101】図15の分布容量(C_{gs} 、 C_{add} 、 C_{gd} 等)が画素数や画面サイズに比例して大きくなるからである。

【0102】以下上記問題点を具体的に説明する。図17は液晶表示パネルの1ライン分の等価回路である。この図において、 GTM はTFTオン信号の入力端子(すなわち図2の走査信号線駆動回路104の出力に接続する端子)であり、この端子 GTM は、走査信号線駆動回路104と液晶表示パネルとの間の配線11を通して、液晶表示パネルのゲート信号線 GL に接続されている。 $R11$ 及び $C11$ は配線11の抵抗成分と容量成分をそれぞれ表している。ゲート信号線 GL は画素単位に等価されており、各画素の $R12$ 及び $C12$ は各画素の抵抗成分と容量分(分布容量とも呼び、 $C_{gs} + C_{add} + C_{gd}$ に相当)をそれぞれ表している。

【0103】今ゲート信号線 GL の二つの点 a 、 c に注目し、それぞれの点におけるTFTオン信号の波形歪みを考える。 a は端子 GTM に最も近い点である。この点 a のTFTオン信号を便宜的に V_{Ga} とする。 c は端子 GTM から最も遠い(言い換えれば走査信号線の終端の)点である。この点 c のTFTオン信号を便宜的に V_{Gc} とする。

【0104】図18(a)は端子側、図18(b)は中央部、図18(c)は終端側のTFTの駆動波形を示す図である。いずれの信号 V_{Ga} 、 V_{Gc} も、1水平走査期間内に割り当てられた所定の書き込み期間 T_x で立ち上がりから立ち下がりまで変化する矩形パルスである。信号 V_{Ga} の波形歪みは、 $R11$ と $C11$ の時定数によって生じた微少なものであるが、信号 V_{Gc} の波形歪みは、この $R11$ と $C11$ の時定数に、さらに1ラインの画素数の $R12$ と $C12$ を含めた時定数によって生じた大きなものである。このため、信号 V_{Ga} の立ち下がり t_{fl} に比べて信号 V_{Gc} の立ち下がり t_{fr} が相対的に遅くなっている。遅れの程度は、画素数が増えるほど、また、画面サイズが大きくなるほど顕著になる。上述の分布容量(すなわち $C12$)が増大するからである。

【0105】すなわち、 $t_{fr} > t_{fl}$ の関係となり、その差は主に上述の分布容量の大きさに依存する。

【0106】従って先に説明した式1の関係から、端子側の画素電圧の低下成分 ΔV_l は終端側画素電圧の低下

成分 ΔV_r よりも大きくなる。

【0107】従来は単位画素の寄生容量(C_{gs} 、 C_{ds1} 、 C_{ds2})及び保持容量(C_{add})は、画素電極の駆動条件を等しくするため、表示領域のどの場所でも一定になるように設計するのが常識であった。従って従来の技術では、先に述べた最適な共通電極の電圧 V_{com} は、実際は、ゲート信号線 GL の端子側と終端側で異なっていた。

【0108】しかし従来は、表示画面のサイズが10型(縦15cm、横21cm)よりも小さく、ゲート信号線 GL も長くなかったので(21cm以下)、入力端子側の画素と終端側の画素の間で、画素電極の電位低下成分 ΔV の差は無視出来る程小さく、液晶表示装置の駆動マージン(特に最適な共通電極電圧 V_{com} のマージン)に余裕があったので、本発明の解決する課題を認識することが出来なかった。

【0109】従って従来の技術では、1ラインの画素数が多い場合や、表示領域のゲート信号線方向の長さが長くなると(少なくともゲート信号線の長さが27cm以上の液晶表示装置では)、もはや表示領域の全画素について共通電極に与える電圧を最適にすることは出来なくなってきた。

【0110】上記の課題を解決するために、上述した実施例では、薄膜トランジスタTFTのソース電極 $SD1$ 側の半導体層 AS の大きさを異ならしめることによって、その容量 C_{gs} を異ならしめるようにしたものである。

【0111】また上述した実施例では薄膜トランジスタTFTのチャネル形成領域(ソース電極 $SD1$ とドレイン電極 $SD2$ の間の領域)以外の部分で半導体層 AS の大きさを異ならせているので、ゲート・ソース間容量 C_{gs} を入力端子側と終端側で変えたことにより、TFTのサイズ(具体的にはチャネル長 l 及びチャネル幅 w)が変わることがなく、液晶表示装置の設計が容易である。

【0112】また、式1から明らかなように画素電極の電位低下成分 ΔV を各画素間で差が少なくなるように調節する方法は、上述の実施例のように、ゲート・ソース間容量 C_{gs} を調節する方法に限らず、保持容量素子 C_{add} を調節する方法、液晶容量 C_{pix} (具体的には画素電極 $ITO1$ の面積あるいは画素電極 $ITO1$ と共通電極 COM (図示せず)間の距離)を調節する方法、ソース・ドレイン間容量 C_{ds1} を調節する方法あるいは画素電極 $ITO1$ とそれと隣接するドレイン信号線 DL 間の寄生容量 C_{ds2} を調節する方法であってもよい。

【0113】しかしゲート・ソース間容量 C_{gs} を調節する上述の実施例の方が、式1の分子がゲート・ソース間容量 C_{gs} のみで構成されていることから明らかなように、少ないゲート・ソース間容量 C_{gs} の変化量で、

画素電極の電位低下成分 ΔV を、広いダイナミックレンジで調節することが出来る。従って上述の実施例ではゲート・ソース間容量 C_{gs} を変化させるためのスペースが少なく済むので、画素の開口率を大きくすることが出来る。

【0114】また、ゲート・ソース間容量 C_{gs} 、保持容量素子 C_{add} 、液晶容量 C_{pix} 、ソース・ドレイン容量 C_{ds1} 及び画素電極ドレイン信号線間容量 C_{ds2} を組み合わせて調節すれば、さらに広いダイナミックレンジで画素電極の電位低下成分 ΔV を調節することが出来る。

【0115】なお、保持容量素子 C_{add} 、液晶容量 C_{pix} 、ソース・ドレイン容量 C_{ds1} あるいは画素電極ドレイン信号線間容量 C_{ds2} により、画素電極の電位低下成分 ΔV を調節する場合は、それらの容量が式1の分母を構成していることから明らかなように、走査信号駆動波形の歪みが大きくなる終端側の画素(c)でそれらの容量を小さくし、走査信号駆動波形の歪みが少ない入力端子側の画素(a)でそれらの容量を大きくすれば良い。

【0116】またゲート・ソース間容量 C_{gs} を調節する方法は半導体層ASのゲート信号線GLとの重なり面積を調節するものに限るものではなく、図10に示すように、ゲート信号線GLに対するソース電極SD1のオーバーラップ領域の該ゲート信号線GLに図示に示すような突起部GLPを延在させて構成し、この突起部GLPの面積をゲート信号線GLの入力端子側で小さく終端側で大きく形成するようにしても同様の効果を得ることができるようになる。

【0117】さらに、図11に示すように、ゲート信号線GLに対するソース電極SD1のオーバーラップ領域を該ゲート信号線GLの幅方向の長さを変えることによって異ならしめるようにしてもよいことはいふまでもない。

【0118】すなわち、ゲート信号線GLに沿って配列される各画素領域を、互いに隣接する複数の画素領域毎にグループ化し、この各グループ化された画素領域のゲート信号線GLをその入力端子側から終端側へかけて順次幅を広げる(ソース電極SD1の画素電極ITO1と接続される側の幅を広げる)構成となっている。

【0119】また、図12、図13及び図14に示す、保持容量 C_{add} に蓄積容量方式を採用している液晶表示装置の場合は、画素電極ITO1と容量線CLの重なる面積を入力端子側から終端側へかけて順次幅を広げる構成にすることによっても、画素電極の電位低下成分 ΔV を調節することが出来る。図13及び図14に示す実施例では、容量線CLの幅W3を調節することにより、電位低下成分 ΔV を調節している。

【0120】蓄積容量方式の液晶表示装置は、ゲート信号線GLの分布容量が少ないので、走査信号VGの波形

歪みの影響を少なく出来る特徴を有する。しかし蓄積容量方式の液晶表示装置でも、上述の実施例のようにゲート・ソース間容量 C_{gs} や保持容量 C_{add} を調節して、入力端子側と終端側の電位低下成分 ΔV の差を小さくすることにより、走査信号VGの波形歪みの影響を皆無に出来るので、最大級の表示画面を有する液晶表示装置を実現出来る。

【0121】また、ゲート信号線GLに入力した信号波形の歪みは、入力端から終端にいくに従って、単調に増加する。

【0122】図17のb部はゲート信号線(走査信号線)GLの中央部を示し、その部分のTFT駆動波形を図18(b)に示す。図18(a)は図17のaに示す入力端子側のTFT駆動波形を示し、図18(c)は図17のcに示す終端側のTFT駆動波形を示す。図18(a)、図18(b)及び図18(c)を比較すると明らかなように、中央部の走査信号VGbの立ち下がり時間 t_{fl} は入力端子側の立下り時間 t_{fl} と終端側の立下り時間 t_{fr} の間にある。すなわち $t_{fl} < t_f < t_{fr}$ の関係にある。従って、寄生容量が全ての画素で同等になるように設計した、従来の液晶表示装置では、中央部の画素電極の電位低下成分 ΔV は、入力端子側の電位低下成分 ΔV_l と出力端子側の電位低下成分 ΔV_r の間にある。すなわち $\Delta V_l > \Delta V > \Delta V_r$ の関係にある。

【0123】したがって、ゲート信号線GLの中央部分に対応する画素電極ITOの電圧の正方向へのシフト量は、ゲート信号線GLの入力端に対応する画素電極ITOよりも多く、ゲート信号線GLの終端に対応する画素電極ITOより少ない。

【0124】ゆえに、ゲート信号線GLの中央部分に接続される薄膜トランジスタTFTのゲート電極とソース電極SD1の間の容量 C_{gs} を、ゲート信号線GLの入力端に接続される薄膜トランジスタTFTの容量 C_{gs} より大きく、ゲート信号線GLの終端に接続される薄膜トランジスタTFTの容量 C_{gs} より小さくすることにより、入力端および終端の画素電極ITOと中央部の画素電極ITOに飛び込むゲート信号の漏洩成分を均一にすることができ、最適な共通電極電圧も入力端および終端の画素と中央部の画素で異なることがなく、表示領域の中央部でフリッカが発生することがない。

【0125】なお、ここでゲート信号線の入力端および終端の画素電極ITO1は表示に寄与する画素電極ITO1で議論しており、遮光膜で遮光された画素電極ITO1や未完成の画素の画素電極などの、表示に寄与しない画素電極ITO1は除外して考えるのが妥当であることは、それらがフリッカと無関係であることからいうまでもない。

【0126】しかし、ゲート信号線の入力端および終端の画素電極ITO1で、遮光されている画素電極ITO1に対応する画素にも、入力端側の薄膜トランジスタT

FTの容量 C_{gs} よりも終端側の薄膜トランジスタFTの容量 C_{gs} を大きくする構成を採用することにより、液晶に直流成分が加わることがなく、液晶の寿命を向上させる効果を奏することができる。

【0127】本実施例では、ゲート信号線GLに入力される走査信号の波形歪みによるフリッカ防止対策、および露光装置の光学系の歪み等によるソース電極SD1の位置ずれによるフリッカ防止対策を施した液晶表示装置を説明したものであるが、これら各防止対策のうちいずれか一方を施すように構成してもよいことはいふまでもない。

【0128】しかし、ソース電極SD1の位置ずれによるフリッカ防止対策を施した液晶表示装置に、ゲート信号線GLに入力される走査信号の波形歪みによるフリッカ防止対策を行うことにより、画素電極の電位低下成分 ΔV を高い精度で調節することが出来、表示領域を最大級まで拡大しても、液晶表示パネルの駆動マージン（特に共通電極電圧 V_{com} のマージン）を十分に確保することが出来る。

【0129】《容量の補正方法》つぎに、各画素の容量の補正を行い、走査信号線の延在方向に沿ってそれら各画素の容量の均一化を図る方法の一実施例について、図39を用いて説明する。

【0130】同図（a）は、走査信号線の延在方向を横軸にとった場合の容量補正值（この場合、一例として C_{gs} ）を示したグラフである。

【0131】ここで、このグラフは、たとえば各画素をすべて均一のパターンとして形成した液晶表示装置（試料）からのデータとしたものがあるが、必ずしも均一のパターンからなる画素を有する液晶表示装置に限定されることはない。容量補正された液晶表示装置を試料として、さらに容量補正する場合もあるからである。このグラフを得る方法については後に詳述する。

【0132】また、同図（b）は、容量補正の対象となる液晶表示装置の表示領域（画素の集合体）ARを前記グラフと対応づけて描いたものである。

【0133】まず、同図（a）において、補正值をたとえば等間隔に区画する。この実施例の場合は、補正值を6等分に区画している。しかし、この区画数は必ずしもこの値に限定されることはない。ただし、この区画数は図39（a）の特性のカーブが緩やかな場合は少なく、急峻な場合は多くとることによって表示領域面におけるフリッカの発生を十分に防止できるからである。

【0134】そして、補正值の上記区画によって、表示領域をその走査信号線の延在方法に沿ってA領域からF領域までの6つの領域に区分する。ここで、たとえばA領域を例にとって考えると、走査信号線と直交する映像信号線の延在方向においてすべてA領域となる。映像信号線の延在方向に形成される各画素は容量に点においてほぼ同一の条件であるという理由に基づくものである。

【0135】そして、走査信号線の延在方法における各区分において、B領域のA領域に対する補正量、C領域のB領域に対する補正量、D領域のC領域に対する補正量、E領域のD領域に対する補正量、F領域のE領域に対する補正量、はすべて同一であるという関係にある。これら各領域は補正值を等間隔に区画し、それに対応づけて得られた領域であるからである。

【0136】図40は、これら各領域において、薄膜トランジスタFTのソース電極SD1、半導体層AS、ゲート絶縁膜GIのパターンを変更させている一実施例を示した図である。なお、図40は図1に対応する図であり、これに限定されることはなく、上述した各実施例及び後に示す各実施例のそれぞれの場合においても適用できることはいふまでもない。

【0137】同図において、たとえば（a）はB領域の薄膜トランジスタFTのパターンを、（b）はC領域の薄膜トランジスタFTのパターンを、（c）はE領域のパターンを示している。

【0138】同図（a）は、薄膜トランジスタFTのソース電極SD1、半導体層AS、ゲート絶縁膜GIは、それぞれ、外方に突出した突起PRが形成され、その突起PRに相当する分だけの面積が大きくなっている。

【0139】ここで、この突起PSは、本実施例による容量補正の際に用いられる最小単位のパターン（基準となる最小単位があるのではなく、設計者によって任意に定められるパターンである）に相当するものであり、C領域、D領域、E領域、およびF領域の各薄膜トランジスタFTの容量を補正するための基準パターンとなるものである。

【0140】すなわち、同図（b）において、薄膜トランジスタFTのソース電極SD1、半導体層AS、ゲート絶縁膜GIは、それぞれ、外方に突出した突起PRが形成されているのは同図（a）と同じであるが、同図（a）と比較して、突起PRの面積が2倍となっている。換言すれば、薄膜トランジスタFTのソース電極SD1、半導体層AS、ゲート絶縁膜GIには、それぞれ、同図（a）に示した突起PRと同じ面積のものが2個設けられている。

【0141】同図（c）においては、薄膜トランジスタFTのソース電極SD1、半導体層AS、ゲート絶縁膜GIは、それぞれ、外方に突出した突起の面積PRが、同図（a）と比較して4倍となっている。

【0142】すなわち、このことから明らかとなるように、同図（a）に示した各パターンを基準として、B領域、C領域、D領域、E領域、F領域毎に一つづつ突起PR（最小パターン）が増加している関係にある。

【0143】このことは、各画素の容量補正をするために、各画素のパターンを変更してフォトマスクを設計・作成する際において、各パターンの面積を考慮した変更

(換言すればパターン形状の大幅な変更に至るまで)なく、その煩雑な作業を回避できるという多大な効果をもたうことはいうまでもない。

【0144】上述した実施例では、容量補正値を区分する際に等間隔に区画したものであるが、必ずしも等間隔にする必要はないことはいうまでもない。たとえば特性カーブの状態によってある個所の区分が他の個所の区分の倍数とすること等が、表示領域にて発生するフリッカを回避するのに適当な場合があるからである。

【0145】また、上述した実施例は、各画素のパターンの変更の際に、そのフォトマスクを設計・作成したものである。しかし、これに限定されることなく、露光パターン(フォトマスク)の光源に対する移動(回転も含む概念)によって該画素のパターンを変更するようにしてもよいことはいうまでもない。

【0146】たとえば、図41(a)にCgsを形成する薄膜トランジスタTFTのゲートとソースのパターングリッド図を示す。通常は同図に示すようにゲートとソースのパターングリッドは一致するため、フォトマスクで画素パターンを変化させていない限り、表示領域内の画素は任意の部分で同一のものが形成される。

【0147】ここで、パターン形成時のフォトグラフィ工程において、同図(b)に示すように、ゲートパターングリッドに対してソースパターングリッドにオフセットを加えて形成すると、同様の効果が得られる。

【0148】この場合、隣接する領域において各パターンがほぼ連続に変化し、明確な領域分けはできないが、任意の部分で走査信号線の入力側の画素のCgsをCgs1、走査信号線の主力側の画素のCgsをCgs2とした場合、 $Cgs2 > Cgs1$ の関係を導くことができるようになる。

【0149】また、互いに隣接する複数の画素に対して一のフォトマスクを形成し、このフォトマスクを表示領域内でいわゆるステップアンドリピートしながら選択露光する際に、A領域ないしF領域の各領域ごとに該フォトマスクを適当に光源に対して移動(回転も含む概念)させるようにしてもよいことはいうまでもない。

【0150】また、上述した実施例では、補正値を区分する各区分に対応して走査信号線の延在距離を区画するようにしたものである。しかし、これに限定されることなく、たとえば図42に示すように、走査信号線の延在距離を区画する各区分に対応して補正値を区画するようにしてもよいことはいうまでもない。

【0151】この場合、表示領域面から補正が必要な領域を区分けして行う場合において有効となる。

【0152】さらに、上述した実施例では、Cgsの補正について説明したものである。しかし、たとえばCadd、Csd等の場合においては、図43に示すような特性(走査信号線の延在距離に対する容量補正量)が得られることから、この特性に基づき、上述したと同様

の工程を経て、容量の補正を行うようにしてもよい。

【0153】ここで、走査信号線の延在方向を横軸にとった場合のCgsの容量補正値を示したグラフ(図39(a))を得る方法の一実施例について説明する。

【0154】(1)光学測定による表示領域内の最適Vcomを測定する。

【0155】まず、最適Vcomを測定するには、特定階調の中間調と黒を空間分解したパターンを表示させる。この空間分解したパターンとしては、図に示すように市松模様あるいはストライプラインがある。

【0156】これらのパターンは反転駆動による輝度平滑がキャンセルされるため、Vcomが変化すると輝度変化あるいはチラツキを生じることになる。

【0157】図45(b)、(b')は、その(a)、(a')に対してVcomが変化して輝度変化が生じていることを示している。

【0158】このため、Vcomを変化させ輝度の時間変動を測定(スペクトロアナライザ等)することで、図46に示すように、最適Vcomを得、これを表示領域面の各点で測定する。

【0159】(2)仕上がりによるVcom変動そして、上記(1)の工程で測定した面内の各点での薄膜トランジスタTFTのパターンを確認する。

【0160】まず、該パターンから、Cgs、Cadd、Cpxを構成するパターンの面積を算出する。

【0161】そして、誘電体膜の比誘電率から容量を求める。さらに、この容量から各点での飛込み電圧ΔVsを算出する。

【0162】(3)Vcom補正

(1)で求めたVcom分布と(2)で求めた飛込み電圧ΔVs分布を比較し(図47参照)、Vcom面内分布から飛込み電圧ΔVs分布を除く(図48参照)。

【0163】そして、これによりVcom面内分布が求められる(図49参照)。その後、算出されたVcom分布をフラットにし、飛込み電圧ΔVs分布を求め(図50参照)、これからCgsの分布が求められる(図51参照)。

【0164】なお、Cadd、Csdの場合の特性も同様に算出できることはいうまでもない。

【0165】《透明基板SUB1の製造方法》つぎに、図3に示す液晶表示装置の第1の透明絶縁基板(薄膜トランジスタ基板)SUB1側の製造方法について、図19～図21を参照して説明する。なお、同図において、中央の文字は工程名の略称であり、左側は薄膜トランジスタTFT(IV-IV切断線)、右側は保持容量Cadd(VI-VI切断線)の断面形状で見た加工の流れを示す。工程BおよびDを除き、工程A～Gの工程は各写真(ホト)処理に対応して区分けしたもので、各工程のいずれの切断図もホト処理後の加工が終わり、ホトレジストを除去した段階を示している。なお、上記写真(ホト)処理と

は本説明ではホトレジストの塗布からマスクを使用した選択露光を経て、それを現像するまでの一連の作業を示すものとし、繰り返しの説明は避ける。以下区分した工程にしたがって説明する。

【0166】工程A、図19

7059ガラス（商品名）からなる第1の透明絶縁基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けた後、500℃、60分間のベークを行なう。なお、このSIO膜は透明絶縁膜SUB1の表面凹凸を緩和するために形成するが、凹凸が少ない場合、省略できる工程である。膜厚が2800ÅのAl-Ta、Al-Ti-Ta、Al-Pd等からなる第1導電膜g1をスパッタリングにより設ける。ホト処理後、リン酸と硝酸と氷酢酸との混酸液で第1導電膜g1を選択的にエッチングする。

【0167】工程B、図19

レジスト直描後（前述した陽極酸化パターン形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が0.5mA/cm²になるように調整する（定電流化成）。つぎに、所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化（陽極化成）を行なう。その後、この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g1が陽極酸化され、走査信号線（ゲートライン）GL上および側面に自己整合的に膜厚が1800Åの陽極酸化膜AOFが形成され、薄膜トランジスタFTのゲート絶縁膜の一部となる。

【0168】工程C、図19

膜厚が1400ÅのITO膜からなる導電膜ITOをスパッタリングにより設ける。ホト処理後、エッチング液として塩酸と硝酸の混酸液で導電膜ITOを選択的にエッチングすることにより、保持容量Caddの一方の電極および透明画素電極ITO1を形成する。

【0169】工程D、図20

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚2000Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して膜厚が300ÅのN+型の非晶質Si膜d0を設ける。この成膜は同一CVD装置で反応室を変え連続して行なう。

【0170】工程E、図20

ホト処理後、ドライエッチングガスとしてSF₆、BCl₁を使用してN+型非晶質Si膜d0、i型非晶質Si膜ASをエッチングする。続けて、SF₆を使用して窒化Si膜GIをエッチングする。もちろん、SF₆ガス

でN+型非晶質Si膜d0、i型非晶質Si膜ASおよび窒化Si膜GIを連続してエッチングしても良い。

【0171】このように3層のCVD膜をSF₆を主成分とするガスで連続的にエッチングすることにより、i型非晶質Si膜ASおよび窒化Si膜GIの側壁をテーパ形状に加工することが出来る。上記テーパ形状のため、その上部にソース電極SD1が形成された場合も断線の確率は著しく低減される。N+型非晶質Si膜d0のテーパ角度は90度に近いが、厚さ300Åと薄いために、この段差での断線の確率は非常に小さい。したがって、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの平面パターンは厳密には同一パターンではなく、断面が順テーパ形状となるため、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIの順に大きなパターンとなる。

【0172】工程F、図21

膜厚が600ÅのCrからなる第1導電膜d1をスパッタリングにより設ける。ホト処理後、第1導電膜d1を硝酸第2セリウムアンモニウム溶液でエッチングし、ドレイン信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。

【0173】ここで本実施例では、工程Eに示すように、N+型非晶質Si膜d0、i型非晶質Si膜AS、窒化Si膜GIが順テーパとなっているため、ソース電極SD1を第1導電膜d1のみで形成してもソース電極SD1が断線することがない。

【0174】つぎに、ドライエッチング装置にSF₆、BCl₁を導入してN+型非晶質Si膜d0をエッチングすることにより、ソースとドレイン間のN+型半導体膜d0を選択的に除去する。

【0175】工程G、図21

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.6μmの窒化Si膜を設ける。ホト処理後、ドライエッチングガスとしてSF₆を使用してエッチングすることにより、保護膜PSV1を形成する。保護膜としてはCVDで形成したSiN膜のみならず、有機材料を用いたものも使用できる。

【0176】《ホトマスクの設計》第1の基板SUB1の各層のパターンはホトリソグラフィにより形成される。図22(a)はパターン形成方法の1例を示す図である。

【0177】MSK1は基板に転写する為のパターンPATが形成されたホトマスクである。MSK1は一つで、液晶表示パネルの一層の全パターンが形成されている。

【0178】SUB1は主面にホトレジストが塗布された基板である。図22(a)の例では、一つの基板SUB1に一つの液晶表示パネルのパターンを形成する例を示している。しかし一つのマザーガラス基板に複数の液晶表示パネルのパターンを形成しても良い。

【0179】ホトマスクにはアライメントマークALMが設けられ、基板に設けたアライメントマークALM'とホトマスクのアライメントマークALMを合わせることで、第1の基板SUB1の各層間の合せを行う。

【0180】水銀灯などの光源LITで発生した紫外線等の光は、レンズ光学系LENで均一な面光源に加工され、反射鏡MIRに送られる。

【0181】反射鏡MIRに送られた、光はスリットSLTに向けて反射され、スリットSLTを通った光は線状の光となりホトマスクMSK1を照らす。

【0182】ホトマスクMSK1を透過した線状の光は基板SUB1上に当たりホトレジストを感光させる。

【0183】このとき、光の当たるeの部分のみホトマスクMSK1のパターンPATが基板SUB1上に転写される。

【0184】図22(a)の矢印に示す方向に、基板及びホトマスクに対して、スリットSLTや反射鏡MIRを相対的に移動させることにより、ホトマスクMSK1のパターンPATが基板SUB1のパターンPAT'として転写される。

【0185】図22(b)は図22(a)に示す方法で用いる。ホトマスクMSK1のパターンPATの例を示すものである。

【0186】図9に示す実施例を基に説明すると、図22(b)に示すホトマスクMSK1は半導体層ASのパターンが形成されている。

【0187】ゲート信号線GLの延在する方向はxであるとする、図22(b)のaは入力端子側の半導体層AS、bは終端側の半導体層ASのパターンを示している。図22(b)のIの部分は、先に述べた、ゲート・ソース間容量Cgsを調節する為のパターンである。

【0188】図22(a)、図22(b)に示す、一つのホトマスクMSK1に液晶表示パネルの一つの層の全パターンを形成し、基板SUB1の所望の層(例えば半導体層AS)をパターン形成する方法によれば、同じ露光条件で、入力端子側と、終端側のパターンを形成することが出来るので、画素電極の電位低下成分 ΔV を調節する為のパターンIを高い精度で形成することが出来る。

【0189】従って、電位低下成分 ΔV を精度良くコントロールすることが出来るので、液晶表示パネルを駆動する時のマージン(特に共通電極電圧Vcomのマージン)が向上する。

【0190】なお、図22(a)に示すように、基板SUB1上のパターンPAT'の形成には、反射鏡MIRやスリットSLTを移動させて露光しているので、機械的な部分の精度により、基板上のパターンPAT'にゆがみを生じることがある。

【0191】しかし、図1、図7(a)～図7(d)及び図8で示した、ソース電極SD1の延在方向に直交す

る幅W0の長さが前記チャネル幅Wより小さく形成する構成とすることにより、ソース電極SD1とゲート信号線GLの合せずれによる、ゲート、ソース間容量Cgsの変動が少なくなる為、露光工程のゆがみの影響を小さく出来る。

【0192】図23(a)は第1の基板SUB1にパターンを形成する方法の他の例を示すものである。

【0193】図22(a)と異なる点は、基板SUB1上のパターンPAT'を複数のブロックパターンPATi、PATii、PATiii、PATivに分け、各ブロック毎に1枚のホトマスクMSKi、MSKii、MSKiii、MSKivを用いるものである。

【0194】図23(b)は、図23(a)に示す方法で用いる複数のホトマスクMSKi、MSKii、MSKiii、MSKivのパターンの例を示すものである。

【0195】図9に示す実施例を基に説明すると、図23(b)は半導体層ASのホトマスクの例を示している。ゲート信号線GLの延在する方向はxであるとする、ホトマスクMSKi、MSKivは入力端子側、ホトマスクMSKii、MSKiiiは終端側のホトマスクを示している。また図23(b)に示すaは入力端子側の半導体層ASのパターン、bは終端側の半導体層ASのパターンを示している。図23(b)のIの部分は先に述べたゲート・ソース間容量Cgsを調節する為のパターンである。

【0196】その他、特に説明しない点は先に述べた図22(a)、図22(b)に示す実施例と同じである。

【0197】図23(a)に示す実施例によれば、一つの液晶表示装置の一つの層のパターンPAT'を複数のホトマスクMSKi、MSKii、MSKiii、MSKivにより形成するので、表示画面の大きな液晶表示装置を作ることが出来る。

【0198】しかし図23(a)に示す実施例では、入力端子側と終端側で、電位低下成分 ΔV を調節するパターンIを、異なるホトマスクで形成する必要があるので、高い精度で電位低下成分 ΔV を調節することが困難である。

【0199】また、図23(a)に示す実施例では、基板SUB1の各ブロックパターンPATi'、PATii'、PATiii'、PATiv'の間の境界領域では、複数回重なって露光される為、パターンが他の部分に比べ細くなる。

【0200】従って、複数回露光する部分を選んだ部分に、電位低下成分 ΔV を調節するパターンIを設ける必要がある。

【0201】それに対し、図22(a)に示す実施例は、一枚のホトマスクMSK1で液晶表示装置の一つの層の全パターンPAT'を形成するので、境界領域がなく、電位低下成分 ΔV を調節するパターンIを設ける為の制約が少ない。

【0202】しかし、最大級の表示領域を有する液晶表示装置を製造する場合には、電位低下成分 ΔV を調節するパターンIの精度を考えなければ、図23(a)に示す実施例の方が適している。

【0203】上述した図22(a)、図22(b)あるいは図23(a)、図23(b)に示されるパターンの形成方法は、半導体層ASに、電位低下成分 ΔV を調節するパターンIを設けた例を示しているが、その他の層に電位低下成分 ΔV を調節するパターンIを設けても良い。

【0204】例えば、図10、図11に示す実施例においては、ゲート信号線GLを形成する工程(第1フォト)のホトマスクに、図22(a)、図22(b)あるいは図23(a)、図23(b)に示すパターンの形成方法を用いても良い。またソース電極SD1を形成する工程(第4フォト)で用いるホトマスクに、図22(a)、図22(b)あるいは図23(a)、図23(b)に示すパターンの形成方法を用いても良い。

【0205】《ゲート信号線GLを両端で駆動する場合》図24は、走査信号線駆動波形VGの波形歪みを低減する為に、ゲート信号線GLの左右両端に走査信号線駆動回路部104を設けた例の、液晶表示装置の等価回路である。図24に示す構成の液晶表示装置では、ゲート信号線GLの終端は存在しない。

【0206】しかし図24に示す構成の液晶表示装置でも、2つの走査信号線駆動回路部104から遠い中央部の画素Bの走査信号VGの波形歪みは、2つの走査信号線駆動回路部104に近い側の画素A、Cの走査信号VGの波形歪みよりも、大きい。

【0207】従って図24に示す両側駆動の液晶表示装置でも、入力端子から遠い側の画素Bのゲート・ソース間容量Cgsを、入力端子に近い側の画素A、Cのゲート・ソース間容量Cgsよりも、大きくすることにより、走査信号VGの波形歪みによる画素電極の電位低下成分 ΔV の差を小さくすることが出来る。

【0208】具体的なゲート・ソース間容量Cgsの調節方法は、図9、図10、図11に示す実施例の通りである。

【0209】なお、図24に示す両側駆動の液晶表示装置でも、画素電極の電位低下成分 ΔV の差を小さくする方法は、ゲート・ソース間容量Cgsを調節するものに限らず、保持容量Cadd、液晶容量Cpix、ソース・ドレイン間容量Cds1、あるいは画素電極ドレイン信号線間容量Cds2を調節するものであってもよい。

【0210】また、本実施例ではゲート電極形成、ゲート絶縁膜形成、半導体層形成、ソース・ドレイン電極形成の順序で形成する逆スタガ構造の薄膜トランジスタTFTを示した。

【0211】しかし、本発明は逆スタガ構造の薄膜トランジスタTFTを用いた液晶表示装置に限定するもので

はなく、半導体層上にゲート絶縁膜を介してゲート電極を形成する正スタガ構造の薄膜トランジスタTFTを用いる液晶表示装置に本発明を適用してもよい。

【0212】実施の形態2

また、本発明は、いわゆる縦電界方式の液晶表示装置を一実施例として説明したものである。しかし、一方の透明基板の液晶側の面に互いに対向する一対の電極を設け、これら各電極の間に該透明基板と平行に電界を生じさせる横電界方式(In Plain Switching 方式)の場合にも全く事情が同じであることから、この横電界方式の液晶表示装置にも適用することができる。

【0213】図25は本発明を適用した横電界方式のアクティブ・マトリクス方式カラー液晶表示装置の画素とその周辺を示す平面図である。

【0214】図26は図25の3-3切断線における断面を示す図である。図25、図26に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極COM2が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

【0215】また、透明ガラス基板SUB1、SUB2のそれぞれの内側(液晶LC側)の表面には、液晶の初期配向を制御する配向膜ORI1、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された(クロスニコル配置)偏光板が設けられている。

【0216】図25に示すように、各画素はゲート信号線(走査信号線または水平信号線)GLと、対向電圧信号線(共通電極配線)COM1と、隣接する2本のドレイン信号線(映像信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極COM2を含む。ゲート信号線GL、対向電圧信号線COM1は図では左右方向に延在し、上下方向に複数本配置されている。ドレイン信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXは薄膜トランジスタTFTと接続され、対向電極COM2は対向電圧信号線COM1と一体になっている。

【0217】ドレイン信号線DLに沿って上下に隣接する2画素では、図25のA線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線COM1をドレイン信号線DLに沿って上下に隣接する2画素で共通化し、対向電圧信号線COM1の電極幅を拡大することにより、対向電圧信号線COM1の抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極COM2へ対向電圧を十分に供給することが容易になる。

【0218】画素電極PXと対向電極COM2は互いに

対向し、各画素電極PXと対向電極COM2との間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極COM2は櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

【0219】ゲート信号線GLは終端側の画素のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線COM1も終端側の画素の対向電極COM2に十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

【0220】図25において、符号Iで示す部分が、画素電極の電位低下成分 ΔV を調節する部分である。符号Iで示す部分は画素電極Pxと一体に形成されており、ゲート信号線GLと絶縁膜GIを介して重ねることにより、ゲート・ソース間容量Cgsを構成している。

【0221】従って図25に示す実施例では、ゲート・ソース間容量調節パターンIとゲート信号線GLの重なる部分の面積を、入力端子に近い側の画素で小さくし、入力端子から遠い側の画素で大きくすることにより、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0222】横電界方式の液晶表示装置は視角特性が広い特徴がある。従って表示領域の大きな液晶表示装置に、横電界方式を採用することにより、視角特性が狭いために画面の一部が見えなくなるという従来の問題を解決することが出来る。

【0223】従って横電界方式の液晶表示装置に本発明を適用することにより、ゲート信号線GLが長くなったことによる駆動波形の歪みの影響を少なく出来るので、最大級の表示領域を有する液晶表示装置を実現することが出来る。

【0224】横電界方式の液晶表示装置においても、画素電極の電位低下成分 ΔV を調節する方法はゲート・ソース間容量Cgsを調節する方法に限らず、保持容量Cadd、液晶容量Cpix、ソース・ドレイン間容量Cds1あるいは画素電極ドレイン信号線間容量Cds2を調節するものであってもよい。

【0225】実施の形態3

次に、ゲート・ソース間容量Cgsを調節する他の実施例を図27(a)及び図27(b)に示す。

【0226】図27(a)及び図27(b)は図3に示す画素の平面図の、薄膜トランジスタTFTの近辺の部分を示した図である。図27(a)及び図27(b)に記載の無い部分の構成は図3に示す画素の構成と同じである。

【0227】図27(a)は入力端子側の画素の薄膜トランジスタTFT、図27(b)は入力端子から遠い側の薄膜トランジスタTFTの構成を示す。

【0228】本実施例では薄膜トランジスタTFTのチャ

ネル長lの方向をゲート信号線GLの延在する方向と垂直に配置している。

【0229】本実施例では、半導体層ASに設けた調節パターンI1と、ソース電極SD1に設けた調節パターンI2の2つの部分で、ゲート・ソース間容量Cgsを調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。従って本実施例では、狭い領域に調節パターンI1及び調節パターンI2を設けることが出来るので、画素の開口率を向上することが出来る。

【0230】また図27(a)及び図27(b)に示すように、本実施例ではソース電極SD1に設けた調節パターンI2を、薄膜トランジスタTFTのチャネル長l及びチャネル幅Wを規定する部分から離して設けているので、ソース電極SD1に調節パターンI2を設けたことにより薄膜トランジスタTFTの駆動能力が変わることもない。

【0231】実施の形態4

図28(a)及び図28(b)はゲート・ソース間容量Cgsを調節する別の実施例を示す。

【0232】図28(a)及び図28(b)も図3に示す画素の平面図の、薄膜トランジスタTFTの近辺の部分を示した図である。図28(a)及び図28(b)に記載の無い部分の構成は図3に示す画素の構成と同じである。

【0233】図28(a)は入力端子側の画素の薄膜トランジスタTFT、図28(b)は入力端子から遠い側の薄膜トランジスタTFTの構成を示す。

【0234】本実施例では薄膜トランジスタTFTのゲート電極GTをゲート信号線GLから分岐して設けている。

【0235】本実施例では、薄膜トランジスタTFTのゲート電極GTの、ソース電極SD1と重なる部分に、切り欠きパターンI3を設けてゲート・ソース間容量Cgsを調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。従って本実施例では、遮光性金属膜からなるゲート電極GTに突起を設ける場合と異なり、開口率を犠牲にすることがない。

【0236】図28(a)及び図28(b)に示すゲート電極GTに設けた切り欠きパターンI3により、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子に近い画素程切り欠きパターンI3の切り欠き量を多くすればよい。

【0237】また図28(a)及び図28(b)に示す本実施例でも、ゲート電極GTに設けた調節パターンI3を、薄膜トランジスタTFTのチャネル長l及びチャネル幅Wを規定する部分から離して設けているので、ゲート電極GTに調節パターンI3を設けたことにより薄膜トランジスタTFTの駆動能力が変わることがない。

【0238】実施の形態5

次に、画素の開口率を高くした液晶表示装置に、走査信

号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくする対策を施した実施例を説明する。

【0239】《画素領域の構成》図29(a)は、本実施例の、図2の点線枠Aに対応する画素領域の具体的な構成を示す平面図である。

【0240】なお、図29(a)のIV-IV線における断面図を図30に、V-V線における断面図を図31に、VI-VI線における断面図を図32に示している。

【0241】液晶表示パネルは図30に示すように、液晶LCを基準に第1の透明基板SUB1側には薄膜トランジスタTFTおよび画素電極ITO1が形成され、第2の透明基板SUB2側にはカラーフィルタFIL、ブラックマトリックスパターン(第1の遮光膜)BM1が形成されている。

【0242】図30において、POL1は第1の透明基板SUB1に設けられる第1偏光板、POL2は第2の透明基板SUB2に設けられる第2偏光板である。

【0243】まず、ガラス等から成る第1の透明基板SUB1の液晶側の面に、そのx方向に延在しy方向に並設されるゲート信号線GLが形成されている。

【0244】このゲート信号線GLは、クロム、モリブデン、クロムとモリブデンの合金、アルミニウム、タンタルあるいはチタン等からなる導電層g1で構成されている。またゲート信号線GLの配線抵抗を下げるために、上述した導電膜の積層膜を用いてゲート信号線GLを構成してもよい。またゲート信号線GLにアルミニウムを用いる場合は、ヒロックやホイスカ等の突起を無くすために、タンタル、チタンあるいはニオブ等の金属を少量添加した合金を用いてもよい。

【0245】そして、このゲート信号線GLと後述するドレイン信号線DLとで囲まれる画素領域の大部分には、透明導電膜(たとえばIndium-Tin-Oxide)からなる画素電極ITO1が形成されている。

【0246】画素領域の図面左下側のゲート信号線GL上の一部は薄膜トランジスタTFTの形成領域となっている。薄膜トランジスタTFTは、たとえばSi_nからなるゲート絶縁膜GI、i型非晶質Si_iからなる半導体層AS、不純物を含んだ非晶質Si_iからなる半導体層d0、ドレイン電極SD2およびソース電極SD1が順次積層されて形成されている。

【0247】そして、ドレイン電極SD2およびソース電極SD1はドレイン信号線DLと同時に形成されるようになっている。

【0248】ドレイン信号線DLは、図31に示すように絶縁膜GI、半導体層AS及び不純物を含んだ非晶質Si_iからなる半導体層d0上に形成され、クロム、モリブデン、クロムとモリブデンの合金、アルミニウム、タンタルあるいはチタン等の導電膜の単層あるいは積層体によって形成されている。ドレイン信号線DLの形成領域に半導体層AS及び不純物を含んだ半導体層d0を形

成しているのは、たとえばドレイン信号線DLが半導体層AS及び不純物を含んだ半導体層d0の段差による断線を防止するためである。

【0249】薄膜トランジスタTFTのドレイン電極SD2はドレイン信号線DLと一体に形成され、またソース電極SD1はドレイン電極SD2と所定のチャンネル長lの分だけ離間されて形成されている。

【0250】ソース電極SD1及びドレイン電極SD2の上には絶縁膜からなる保護膜PSV1が設けられている。保護膜PSV1は、液晶の薄膜トランジスタTFTへの直接の接触による特性劣化を回避するようになっている。保護膜PSV1は窒化シリコン膜あるいはポリイミド等の有機樹脂膜のように耐湿性の良い膜から成る。保護膜PSV1の上には画素電極ITO1が形成されている。

【0251】ソース電極SD1上の保護膜PSV1には、ソース電極SD1と画素電極ITO1を電氣的に接続するためのスルーホールCONTが設けられている。

【0252】また、保持容量素子Caddは、図32に示すように、ゲート信号線(薄膜トランジスタTFTを駆動するゲート信号線と隣接する他のゲート信号線)GLを一方の電極、画素電極ITO1と同時に形成される導電層を他方の電極とし、それらの間に介在される絶縁膜GI、保護膜PSV1を誘電体膜として構成されている。

【0253】絶縁膜GI、保護膜PSV1は、薄膜トランジスタTFTにおけるそれらの形成と同時に形成されるようになっており、また、他方の電極である導電層は前記画素電極ITO1と同時に形成されている。

【0254】また、画素電極ITO1の表面の全域には液晶の配向を規制するための配向膜ORI1が形成されている。

【0255】本実施例では、画素電極ITO1とゲート信号線GL及びドレイン信号線DLの間には絶縁膜である保護膜PSV1が存在するので、画素電極ITO1とゲート信号線GLあるいは画素電極ITO1とドレイン信号線DLが平面的に重なったとしても短絡することがない。従って本実施例では画素電極ITO1を大きく形成することが出来るので、画素の開口が大きくなる、液晶容量Cpixが増えるので保持容量Caddを小さくすることが出来る等の特徴を有する。

【0256】ガラス等から成る第2の透明基板SUB2の内側(液晶LC側)の表面には、第1遮光膜BM1、カラーフィルタFIL、共通透明電極COM及び上部配向膜ORI2が順次積層して設けられている。

【0257】第1遮光膜BM1は、クロム、アルミニウム等の遮光性金属膜や、アクリル等の樹脂膜に染料、顔料あるいはカーボンなどを添加した遮光性の有機膜からなる。共通透明電極COMはITO(Indium-Tin-Oxide)等の透明導電膜からなる。

【0258】カラーフィルタFILはアクリル等の有機樹脂膜からなる基材に、染料あるいは顔料を添加したものからなる。

【0259】またカラーフィルタFILの染料や顔料が液晶LCを汚染するのを防止するために、カラーフィルタFILと共通透明電極COMの間に、アクリル等の有機樹脂膜からなるカラーフィルタ保護膜を設けてもよい。

【0260】《第2遮光膜BM2》本実施例では、図29(a)、図31に示すように、ドレイン信号線DLが形成される第1の透明基板SUB1上に、遮光性の金属膜からなる、第2遮光膜BM2が設けられている。第2遮光膜BM2はゲート信号線GLを構成する導電膜g1と同じ材料で、ゲート信号線GLと同層に形成される。

【0261】この第2遮光膜BM2は平面構造上は図29(a)に示すようにドレイン信号線DLに沿って画素電極ITO1とオーバーラップし、しかも、ドレイン信号線DLとは重ならないように形成されている。一方、断面構造的には図31に示すように、第2遮光膜SUB2はドレイン信号線DLとゲート絶縁膜GIによって絶縁分離されている。このため、第2遮光膜BM2とドレイン信号線DLが短絡する可能性は小さい。また、画素電極ITO1と第2遮光膜BM2はゲート絶縁膜GI及び保護膜PSV1で絶縁分離されている。

【0262】第2遮光膜BM2は、1画素の画素に対する画素電極の透過部の面積、すなわち開口率を向上させ、表示パネルの明るさを向上させる機能を有する。図28に示した表示パネルにおいて、バックライトBLは第1の透明基板SUB1の一方の側に設定される。バックライトBLは第2の透明基板SUB2側に設けても良いが、以下では、便宜上バックライトが第1の透明基板SUB1側から照射され、第2の透明基板SUB2側から観察する場合を例に示す。照射光は第1の透明基板SUB1を透過し、第1の透明基板SUB1上の遮光性の膜（ゲート信号線GL、ドレイン信号線DL及び第2遮光膜BM2）が形成されていない部分から液晶LCに入る。この光は第2の透明基板SUB2に形成された共通電極COMと第1の透明基板SUB1に形成された画素電極ITO1間に印加された電圧で制御される。

【0263】表示パネルが、画素電極ITO1に電圧を加えると光の透過率が低下する、ノーマリホワイトモードでは、本実施例のように第2遮光膜BM2が形成されていない場合、第2の透明基板SUB2に設けた第1遮光膜BM1で画素電極ITO1の周囲を広く覆う必要があり、さもないと、ドレイン信号線DLあるいはゲート信号線GLと画素電極ITO1の隙間から電圧で制御出来ない光が漏れ、表示のコントラストが低下する。また、第2の透明基板SUB2と第1の透明基板SUB1は液晶を挟んで張り合わせてあり、合わせマージンを大きくとる必要があり、第1の透明基板SUB1に第2遮

光膜BM2を設ける本実施例に比べて開口率が小さくなる。

【0264】また、本実施例では、第2遮光膜SUB2には、ゲート信号線GLと同じ遮光性の金属膜g1を使用した、光を遮断出来るものであればよく、アクリル等の樹脂膜に染料、顔料あるいはカーボン等を含有させて遮光膜にした、絶縁性の遮光膜であってもよい。

【0265】《画素電極の電位低下成分 ΔV を均一にする方法》図29(a)は入力端子側の画素の平面構造、図29(b)は入力端子から遠い側（例えば終端側）の画素の平面構造の一部を示す。

【0266】本実施例も薄膜トランジスタTFTのチャネル長lの方向をゲート信号線GLの延在する方向と垂直に配置している。

【0267】本実施例では、画素電極ITO1に、画素電極ITO1を選択するゲート信号線GLと重なる部分1を設けて、ゲート・ソース間容量Cgsを調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0268】図29(a)に示す画素電極ITO1に設けた調節パターンI4で、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子から遠い画素になる程調節パターンI4とゲート信号線GLの重なる面積を、入力端子に近い側の画素よりも所定量dだけ多くすればよい。

【0269】本実施例では、ゲート・ソース間容量Cgsを画素毎に調節するため、画素電極ITO1を、該画素電極ITO1を選択するゲート信号線GLと重なる部分まで延在して設けているので、遮光性の金属から成るゲート信号線GLが画素電極の縁を覆う第1遮光膜BM1と同じ機能を果たす。従って画素電極ITO1とゲート信号線GLとの重なる部分1を覆う第1遮光膜BM1を、矢印に示すゲート信号線GLの方向に、後退させることが出来、画素の開口を拡大することが出来る。

【0270】また本実施例では、画素電極ITO1と隣接する画素のゲート信号線GLとの重なる部分に設ける保持容量Caddの部分も、隣接する画素のゲート信号線GLが遮光性の金属からなるので第1遮光膜BM1と同じ機能を果たす。従って第1遮光膜BM1をゲート信号線GLが露出する位置まで後退させることが出来、画素の開口が向上する。

【0271】また本実施例では、ゲート・ソース間容量Cgsの誘電体に保護膜PSV1と絶縁膜GIを用いている。保護膜PSV1と絶縁膜GIの同じ場所にピンホールが存在する可能性は極めて少ないので、ゲート・ソース間容量Cgsを調節する部分I4で、画素電極ITO1とゲート信号線GLが短絡する問題もない。

【0272】実施の形態6

次に、ゲート・ソース間容量Cgsを調節する他の実施例を図33(a)及び図33(b)に示す。

【0273】図33(a)及び図33(b)は図29(a)に示す画素の平面図の、薄膜トランジスタTFTの近辺の部分を示した図である。図33(a)及び図33(b)に記載の無い部分の構成は図29(a)に示す画素の構成と同じである。

【0274】図33(a)は入力端子側の画素の薄膜トランジスタTFT、図33(b)は入力端子から遠い側の薄膜トランジスタTFTの構成を示す。

【0275】本実施例では薄膜トランジスタTFTのチャネル長 l の方向をゲート信号線GLの延在する方向と垂直に配置している。

【0276】本実施例では、ソース電極SD1と重なる部分の、ゲート信号線GLに設けた調節パターンI5で、ゲート・ソース間容量 C_{gs} を調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0277】図33(a)及び図33(b)に示すゲート信号線GLに設けた調節パターンI5で、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子から遠い画素になる程調節パターンI5とソース電極SD1の重なる面積を多くすればよい。

【0278】実施の形態7

図34(a)及び図34(b)は、ゲート・ソース間容量 C_{gs} を調節する他の実施例を示す。

【0279】図34(a)及び図34(b)も図29(a)に示す画素の平面図の、薄膜トランジスタTFTの近辺の部分を示した図である。図34(a)及び図34(b)に記載の無い部分の構成は図29(a)に示す画素の構成と同じである。

【0280】図34(a)は入力端子側の画素の薄膜トランジスタTFT、図34(b)は入力端子から遠い側の薄膜トランジスタTFTの構成を示す。

【0281】本実施例も薄膜トランジスタTFTのチャネル長 l の方向をゲート信号線GLの延在する方向と垂直に配置している。

【0282】本実施例では、ゲート信号線GLに、画素電極ITO1と重なる、調節パターンI6設けて、ゲート・ソース間容量 C_{gs} を調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0283】図34(a)及び図34(b)に示すゲート信号線GLに設けた調節パターンI6で、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子から遠い画素の程調節パターンI6と画素電極ITO1の重なる面積を、入力端子に近い側の画素よりも多くすればよい。

【0284】実施の形態8

図35(a)及び図35(b)はゲート・ソース間容量 C_{gs} を調節する別の実施例を示す。

【0285】図35(a)及び図35(b)も図29

(a)に示す画素の平面図の、薄膜トランジスタTFT

の近辺の部分を示した図である。図35(a)及び図35(b)に記載の無い部分の構成は図29(a)に示す画素の構成と同じである。

【0286】図35(a)は入力端子側の画素の薄膜トランジスタTFT、図35(b)は入力端子から遠い側の薄膜トランジスタTFTの構成を示す。

【0287】本実施例では薄膜トランジスタTFTのゲート電極GTをゲート信号線GLから分岐して設けている。

【0288】本実施例では、薄膜トランジスタTFTのソース電極SD1の、ゲート電極GTと重なる2個所の部分に、調節パターンI7及びI7'を設けてゲート・ソース間容量 C_{gs} を調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0289】図35(a)及び図35(b)に示すソース電極SD1に設けた調節パターンI7及びI7'により、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子から遠い画素になる程調節パターンI7とI7'のトータルの面積を多くすればよい。

【0290】また図35(a)及び図35(b)に示す本実施例では、半導体層ASの幅をソース電極SD1の幅よりも小さくして、半導体層ASの幅により薄膜トランジスタTFTのチャネル幅 W を規定している。そして、ゲート・ソース間容量 C_{gs} を調節するパターンI7及びI7'は半導体層ASと重ならない部分に設けているので、ソース電極SD1に調節パターンI7、I7'を設けたことにより薄膜トランジスタTFTの駆動能力が変わることがない。

【0291】また図35(a)、図35(b)に示す実施例では、ゲート電極GTにより半導体層ASを遮光し、薄膜トランジスタTFTの誤動作を防止するために、半導体層ASを、平面的に、ゲート電極GTの存在する領域内のみに設けている。従って半導体層ASをゲート電極GTにより完全に遮光する場合は、ソース電極SD1とゲート電極GTの間には半導体層ASが無い部分が有り、ゲート・ソース間容量 C_{gs} が大きくなるデメリットを有する。しかし、本実施例では、ゲート・ソース間容量 C_{gs} を調節して、画素電極の電位低下成分 ΔV の差を少なくしているので、半導体層ASをゲート電極GTにより完全に遮光したことによるゲート・ソース間容量 C_{gs} が大きくなるデメリットを少なくすることが出来る。

【0292】実施の形態9

図36(a)及び図36(b)は、保持容量 C_{add} を調節する他の実施例を示す。

【0293】図36(a)及び図36(b)は、本実施例の画素の平面構造を示す図である。

【0294】図36(a)及び図36(b)も図29

(a)に示す画素構造の液晶表示装置と同じ構造をして

いる。従って本実施例で特に記載しない部分の構成は図 29 (a) に示す画素の構成と同じである。

【0295】図 36 (a) は入力端子側の画素、図 36 (b) は入力端子から遠い側の画素の構成を示す。

【0296】本実施例では、画素電極 ITO1 と隣接する画素のゲート信号線 GL が重なる部分の面積を変えて、保持容量 C_{add} を調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0297】図 36 (a) 及び図 36 (b) に示す保持容量 C_{add} を調節し、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子に近い側の画素よりも、入力端子から遠い画素のゲート信号線 GL と画素電極 ITO1 の重なる面積を、d に示す所定の量だけ減らして、保持容量 C_{add} を小さくすればよい。

【0298】実施の形態 10

図 37 (a) 及び図 37 (b) は、液晶容量 C_{pix} を調節する他の実施例を示す。

【0299】図 37 (a) 及び図 37 (b) は、本実施例の画素の平面構造を示す図である。

【0300】図 37 (a) 及び図 37 (b) も図 29 (a) に示す画素構造の液晶表示装置と同じ構造をしている。従って本実施例で特に記載しない部分の構成は図 29 (a) に示す画素の構成と同じである。

【0301】図 37 (a) は入力端子側の画素、図 37 (b) は入力端子から遠い側の画素の構成を示す。

【0302】本実施例では、画素電極 ITO1 の面積を変えて、共通電極 COM との重なる面積を変えて、液晶容量 C_{pix} を調節し、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0303】図 37 (a) 及び図 37 (b) に示す画素電極 ITO1 の面積を変えて、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子に近い側の画素よりも、入力端子から遠い画素電極の面積を、d に示す所定の量だけ減らして、液晶容量 C_{pix} を小さくすればよい。

【0304】なお本実施例では、図 37 (a)、図 37 (b) に示すように画素電極 ITO1 の面積を変えても、第 1 遮光膜 BM1 の開口面積は入力端子に近い画素と入力端子から遠い画素で同じにしている。さらに本実施例では、第 1 遮光膜 BM1 で覆われた部分の画素電極 ITO1 の形状を変えることで、画素電極の面積を変え、液晶容量 C_{pix} を調節しているので、入力端子に近い画素と入力端子から遠い画素で光の通る開口に差が無く、輝度差を生じない。

【0305】実施の形態 11

図 38 (a) 及び図 38 (b) は、第 2 の遮光膜 BM2 を遮光性の金属膜で形成し、第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を調節する他の実施例を示す。

【0306】図 38 (a) 及び図 38 (b) は、本実施例の画素の平面構造を示す図である。

【0307】図 38 (a) 及び図 38 (b) も図 29 (a) に示す画素構造の液晶表示装置と同じ構造をしている。従って本実施例で特に記載しない部分の構成は図 29 (a) に示す画素の構成と同じである。

【0308】図 38 (a) は入力端子側の画素、図 38 (b) は入力端子から遠い側の画素の構成を示す。

【0309】本実施例では、第 2 の遮光膜 BM2 と隣接する画素のゲート信号線 GL を電氣的に接続し、第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を変えて、画素電極の電位低下成分 ΔV の画素間の差を少なくしている。

【0310】本実施例では、第 2 の遮光膜 BM2 は隣接する画素のゲート信号線 GL と電氣的に接続しているので、第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる部分は保持容量 C_{add} と同じ働きをする。

【0311】図 38 (a) 及び図 38 (b) に示す第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を変えて、走査信号の波形歪みによる画素電極の電位低下成分 ΔV の差を小さくするためには、入力端子に近い側の画素の第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を、入力端子から遠い側の画素よりも、d に示す所定の量だけ増やして、保持容量 C_{add} を大きくすればよい。

【0312】また本実施例では、画素電極 ITO1 の面積を変えずに、保持容量電極として働く第 2 の遮光膜 BM2 の画素電極 ITO1 と重なる部分の面積を変えているので、保持容量 C_{add} が画素毎に変わっても、液晶容量 C_{pix} は変わることがない。従って保持容量 C_{add} と液晶容量 C_{pix} とを独立して設定出来るので、画素の設計が容易である。

【0313】なお、第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を変えると、画素の開口が変わる問題があるが、図 38 (a) 及び図 38 (b) に示すように、第 2 の透明基板 SUB2 に設けられた第 1 の遮光膜 BM1 で覆われた領域内で第 2 の遮光膜 BM2 と画素電極 ITO1 の重なる面積を変えることにより、画素の開口が変わる問題を解決することが出来る。

【0314】また、本実施例では第 2 の遮光膜 BM2 をゲート信号線 GL に電氣的に接続する例を示したが、第 2 の遮光膜 BM2 を電氣的に浮いた状態で、画素電極 ITO1 との重なる面積を変えても画素電極の電位低下成分 ΔV の差を小さくすることは可能である。第 2 の遮光膜 BM2 を電氣的に浮いた状態にした場合は、画素電極 ITO1 との重なる面積を変えた場合は、ソース・ドレイン間容量 C_{ds1} や画素電極とドレイン信号線間容量 C_{ds2} を変えることが出来る。この場合、入力端子に近い側の画素になる程第 2 の遮光膜 BM2 と画素電極 ITO1 との重なる面積を増やせばよい。

【0315】しかしソース・ドレイン間容量 C_{ds1} 及び画素電極ドレイン信号線間容量 C_{ds2} を増やすことは、画素間のクロストークの問題があることから、図38(a)、図38(b)に示すように第2の遮光膜BM2をゲート信号線GLに接続する方が好ましい。

【0316】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示装置の製造方法によれば、フリッカの発生を簡単な構成で抑制できるようになる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す要部平面図である。

【図2】本発明による液晶表示装置の一実施例を示す等価回路図である。

【図3】本発明による液晶表示装置の画素領域の一実施例を示す平面図である。

【図4】図3のIV-IV線における断面図である。

【図5】図3のV-V線における断面図である。

【図6】図3のVI-VI線における断面図である。

【図7】(a)乃至(d)は本発明による液晶表示装置 20 の他の実施例を示す説明図である。

【図8】本発明による液晶表示装置の他の実施例を示す平面図である。

【図9】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す平面図である。

【図10】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す平面図である。

【図11】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す平面図である。

【図12】本発明による液晶表示装置の他の実施例を示す等価回路図である。 30

【図13】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図14】図13のVI-VI線における断面図である。

【図15】TFTアクティブ・マトリックス液晶表示装置の単位画素の等価回路を示す図である。

【図16】TFTアクティブ・マトリックス液晶表示装置の駆動波形図である。

【図17】液晶表示パネルの1ライン分の等価回路である。

【図18】(a)は端子側の、(b)は中央部の、(c)は終端側の画素の薄膜トランジスタTFTの駆動波形図である。

【図19】薄膜トランジスタ基板SUB1の製造方法を示す工程図である。

【図20】薄膜トランジスタ基板SUB1の製造方法を示す工程図である。

【図21】薄膜トランジスタ基板SUB1の製造方法を示す工程図である。

【図22】(a)はホトリソグラフィにより薄膜トラン

ジスタ基板SUB1にパターンを形成する方法を示す図、(b)はホトマスクのパターンの例を示す図である。

【図23】(a)はホトリソグラフィにより薄膜トランジスタ基板SUB1にパターンを形成する他の方法を示す図、(b)はホトマスクのパターンの他の例を示す図である。

【図24】ゲート信号線の左右両端に走査信号線駆動回路部104を設けた、他の実施例の、液晶表示装置の等価回路である。 10

【図25】本発明を適用した、横電界方式のアクティブ・マトリックス液晶表示装置の単位画素を示す平面図である。

【図26】図25の3-3切断線における断面を示す図である。

【図27】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の主要部分の平面図である。

【図28】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の主要部分の平面図である。

【図29】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す画素部の平面図である。

【図30】図29のIV-IV線における断面図である。

【図31】図29のV-V線における断面図である。

【図32】図29のVI-VI線における断面図である。

【図33】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の主要部分の平面図である。

【図34】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の主要部分の平面図である。 30

【図35】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の主要部分の平面図である。

【図36】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の平面図である。

【図37】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の平面図である。

【図38】(a)及び(b)は本発明による液晶表示装置の他の実施例を示す、画素の平面図である。 40

【図39】本発明による液晶表示装置の製造方法の一実施例を示す説明図である。

【図40】本発明による液晶表示装置の製造方法によって得られる画素パターンの一実施例を示す平面図である。

【図41】本発明による液晶表示装置の製造方法の他の実施例を示す説明図である。

【図42】本発明による液晶表示装置の製造方法の他の実施例を示す説明図である。 50

【図 4 3】本発明による液晶表示装置の製造方法の他の実施例を示す説明図である。

【図 4 4】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【図 4 5】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【図 4 6】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【図 4 7】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【図 4 8】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

ある。

【図 4 9】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【図 5 0】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

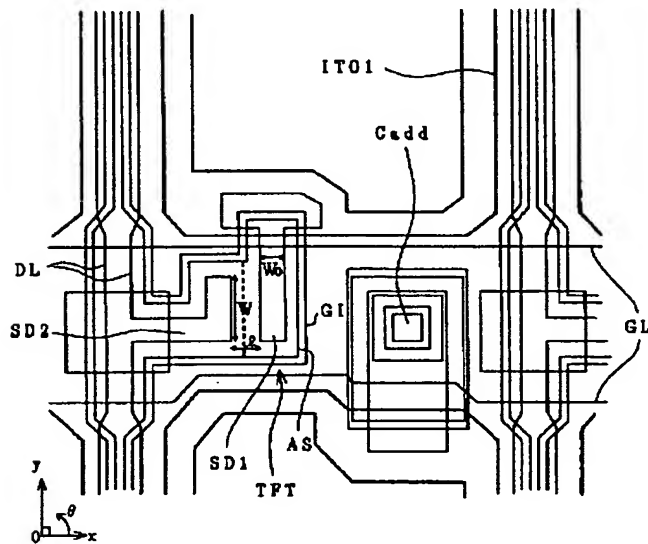
【図 5 1】本発明による液晶表示装置の製造において試料の特性を得るための一つの工程を示すための説明図である。

【符号の説明】

GL…ゲート信号線、DL…ドレイン信号線、ITO1…画素電極、TFT…薄膜トランジスタ、GI…ゲート絶縁膜、AS…半導体層、SD1…ソース電極、SD2…ドレイン電極。

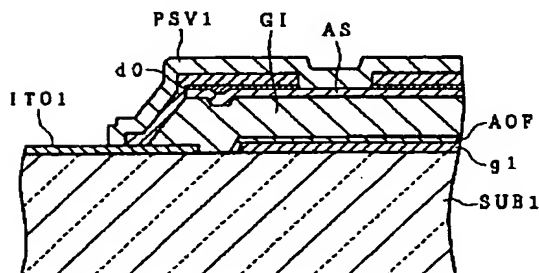
【図 1】

図 1



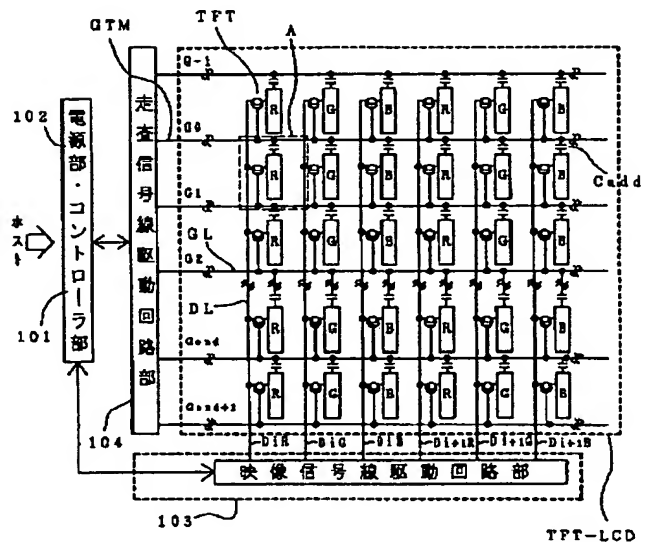
【図 4】

図 4



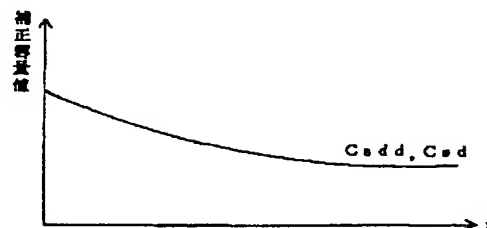
【図 2】

図 2



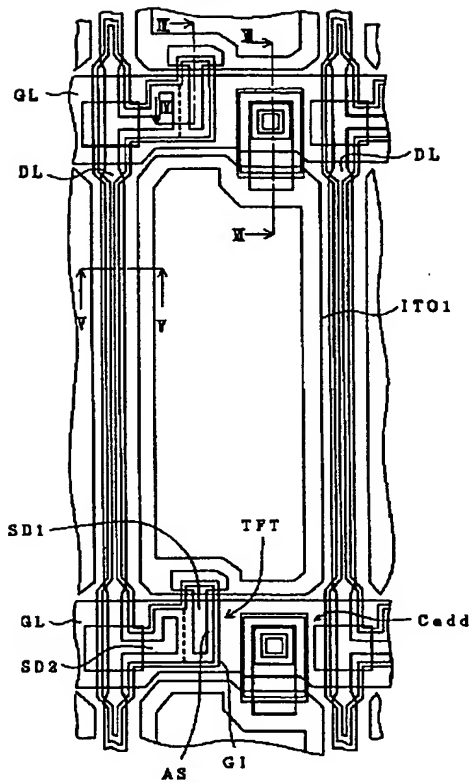
【図 4 3】

図 4 3



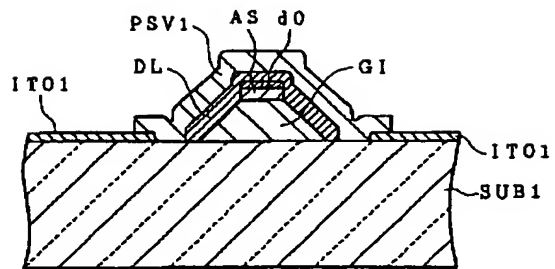
【図3】

図 3



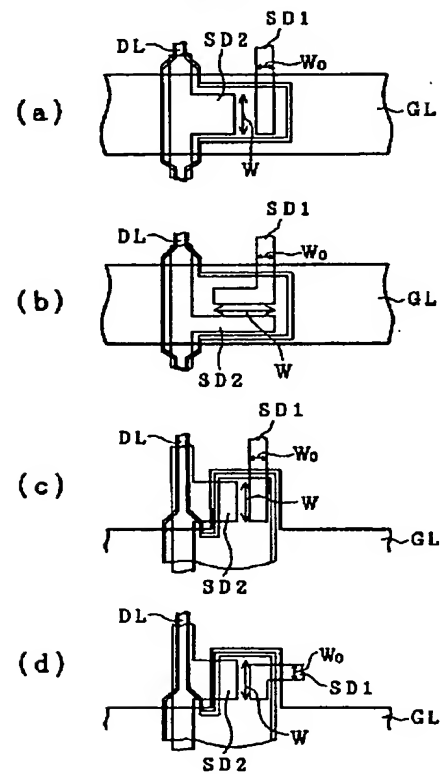
【図5】

図 5



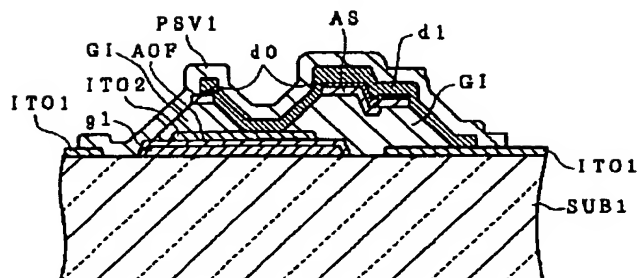
【図7】

図 7



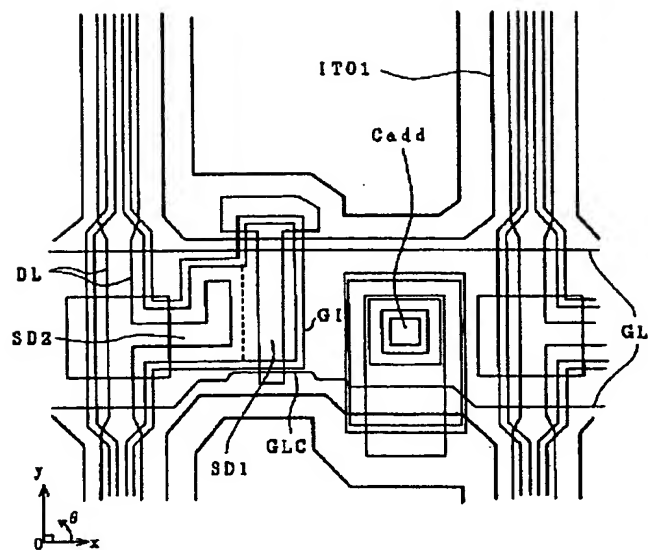
【図6】

図 6



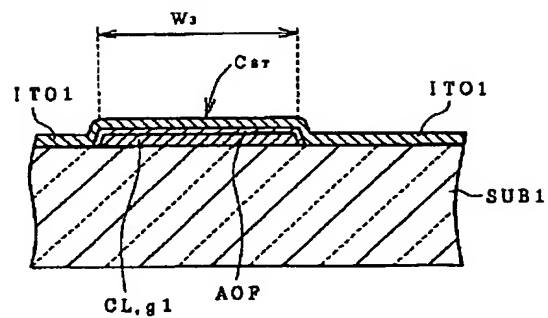
【図 8】

図 8



【図 14】

図 14

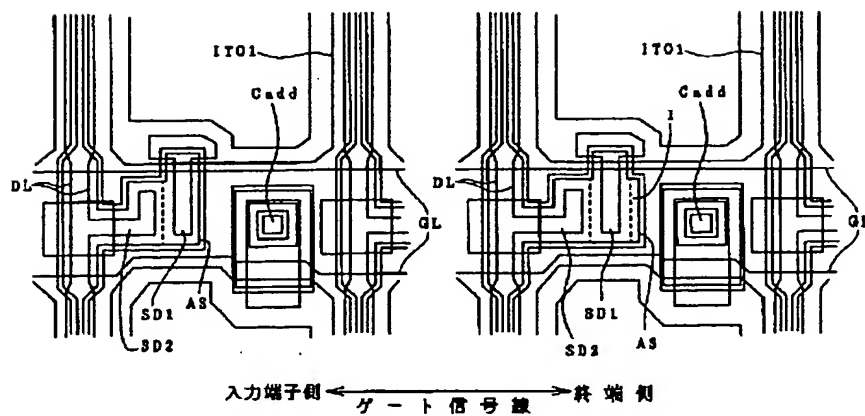


【図 9】

図 9

(a)

(b)

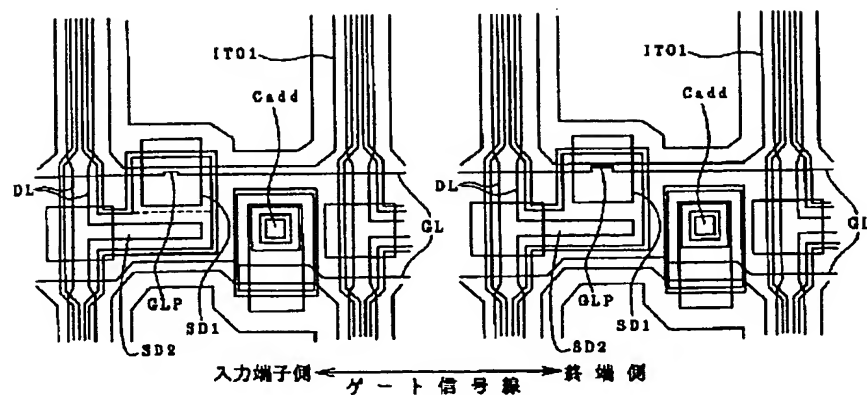


【図10】

図 10

(a)

(b)

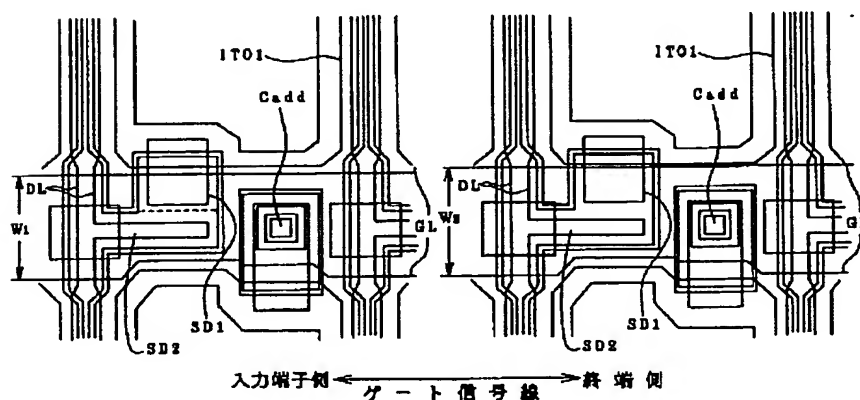


【図11】

図 11

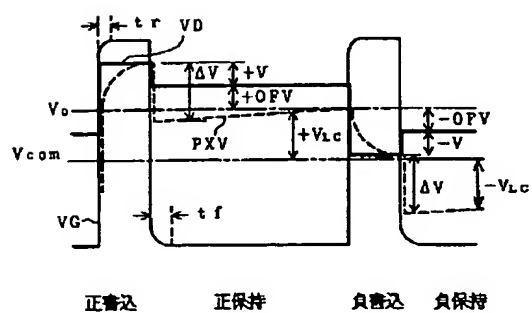
(a)

(b)



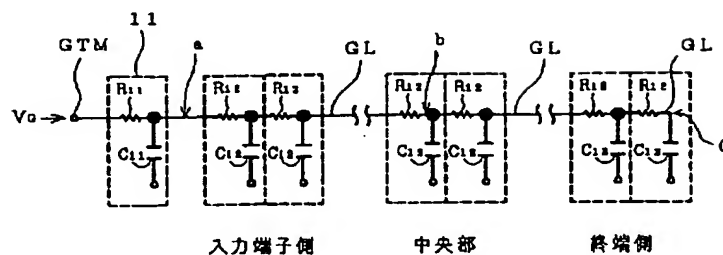
【図16】

図 16



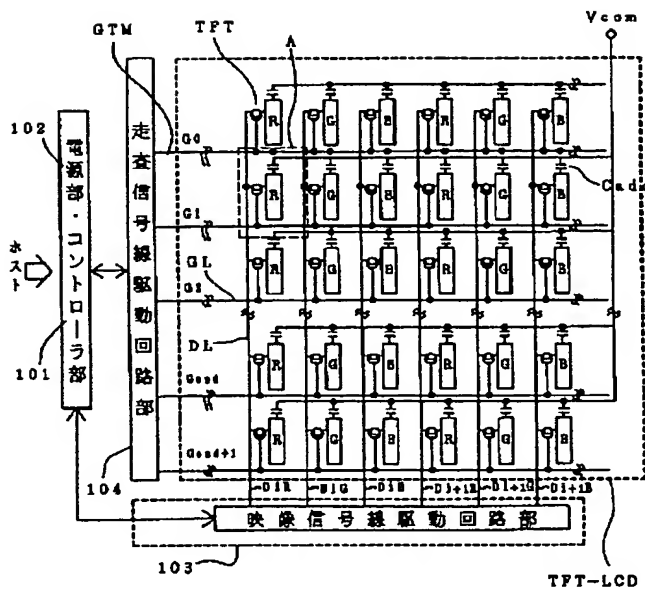
【図17】

図 17



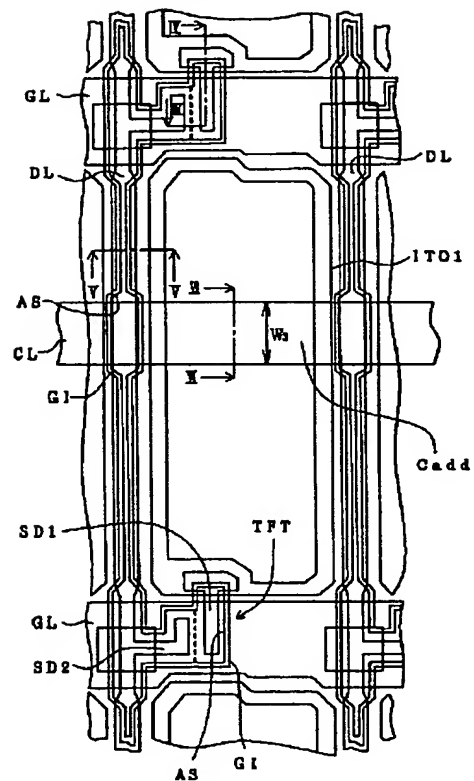
【図12】

図12



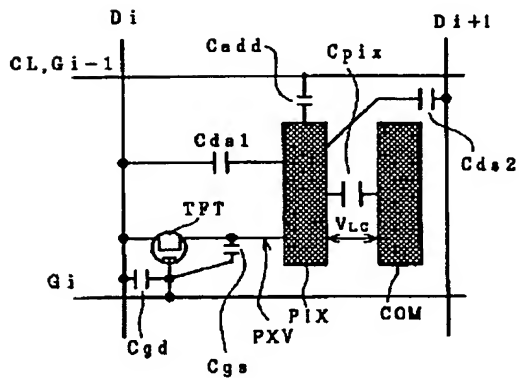
【図13】

図13



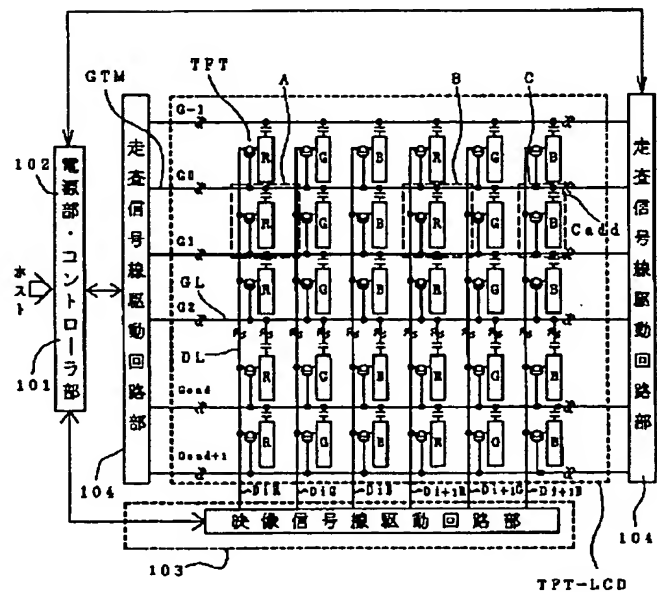
【図15】

図15



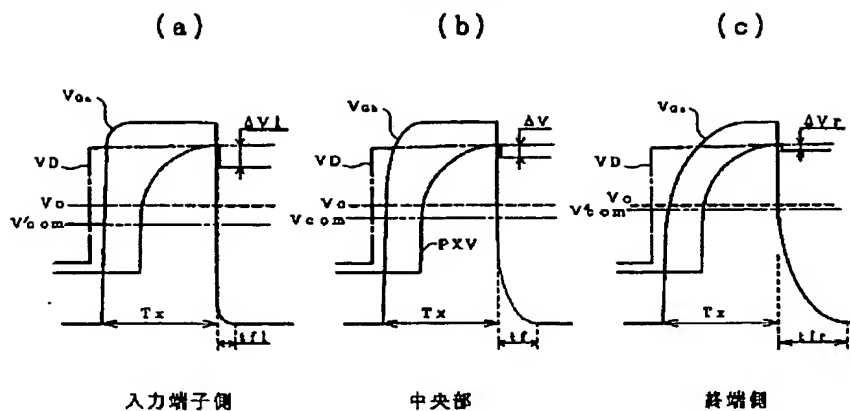
【図24】

図24



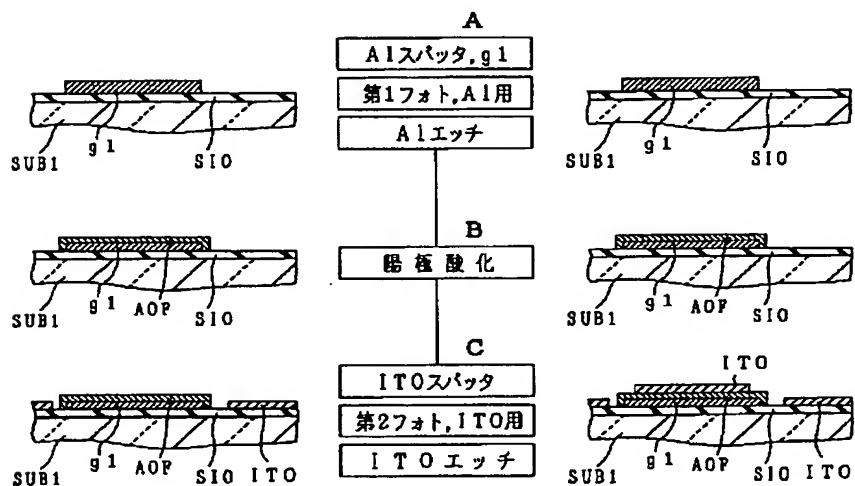
【図18】

図18



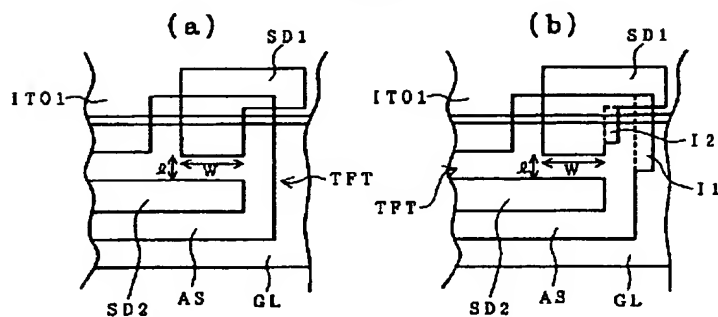
【図19】

図19



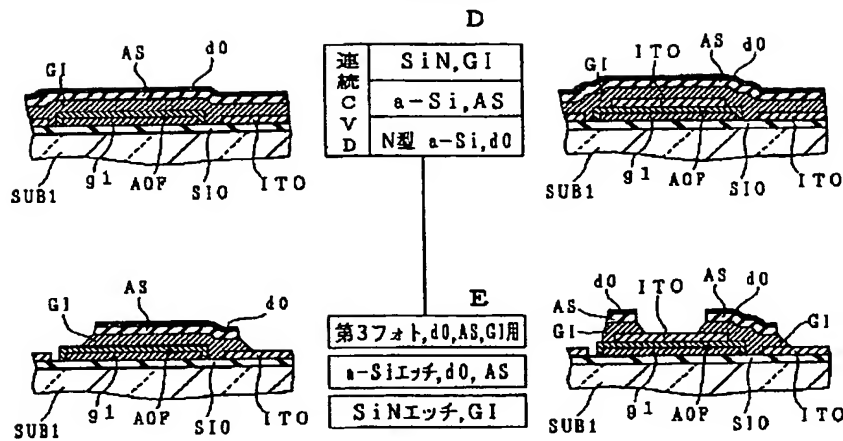
【図27】

図27



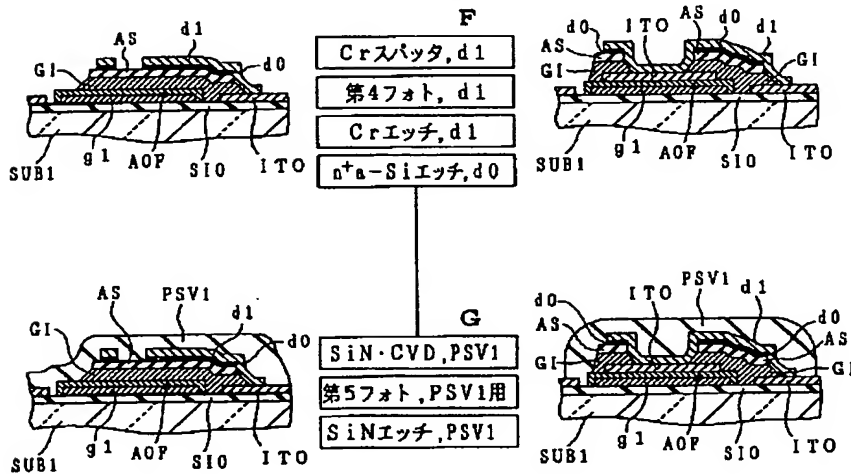
【図20】

図20



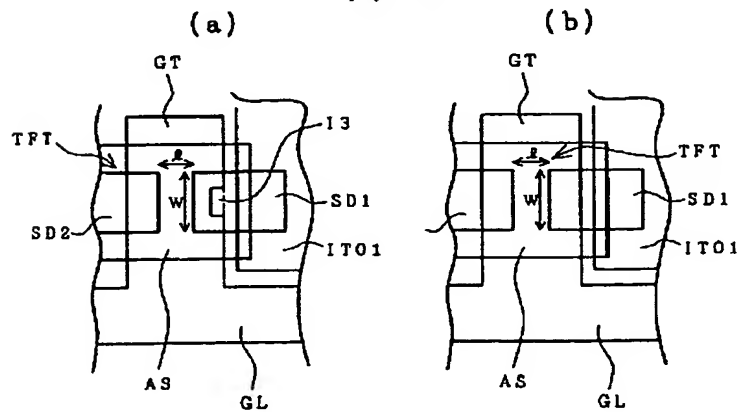
【図21】

図21



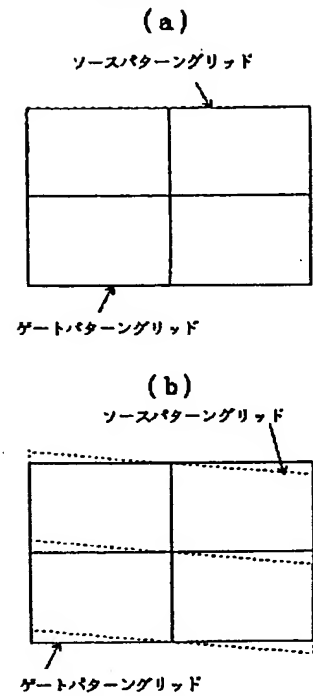
【図28】

図28



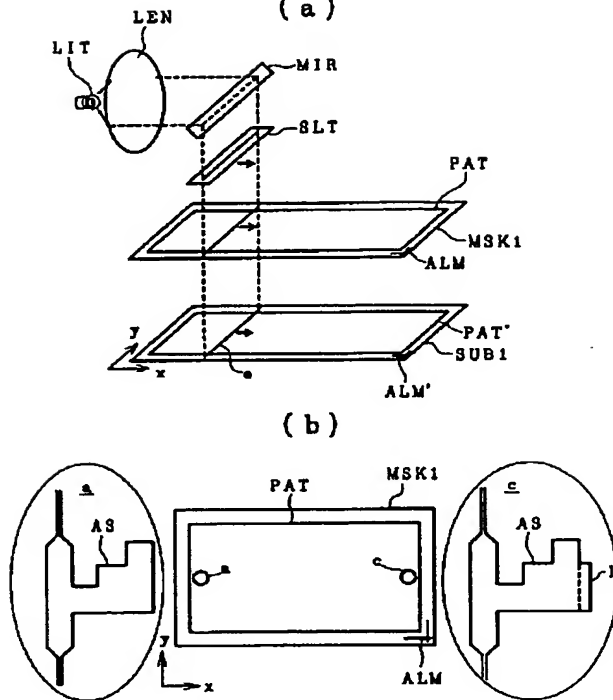
【図41】

図41



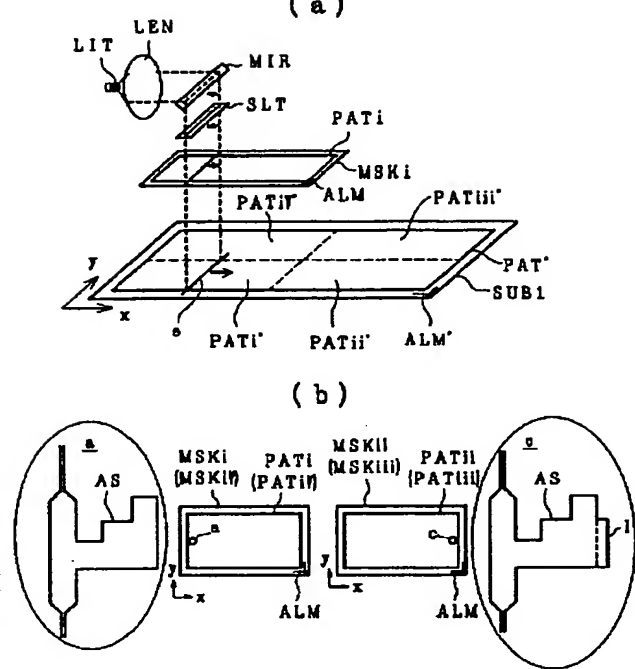
【図 22】

図 22



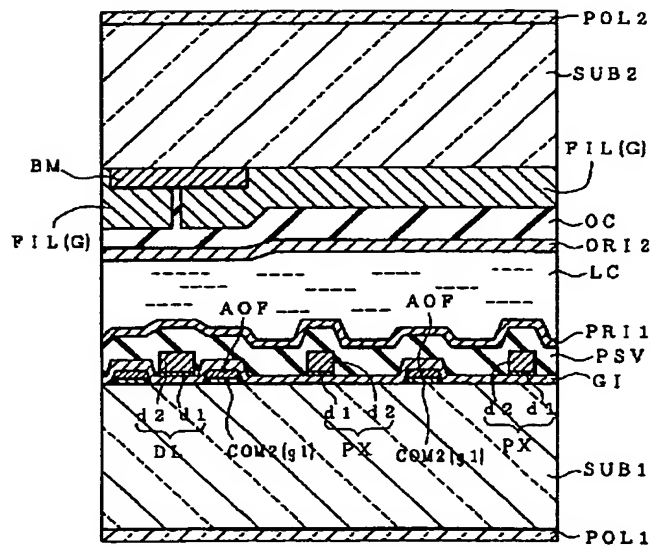
【図 23】

図 23



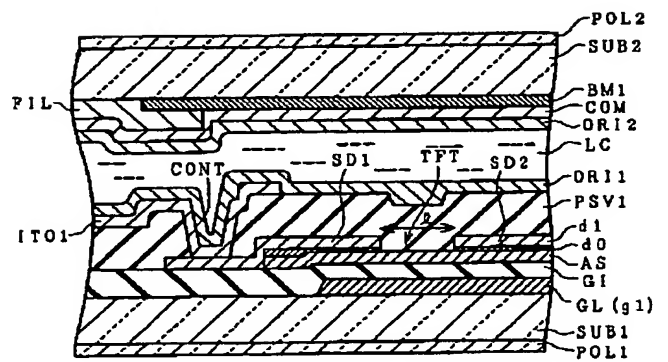
【図 26】

図 26

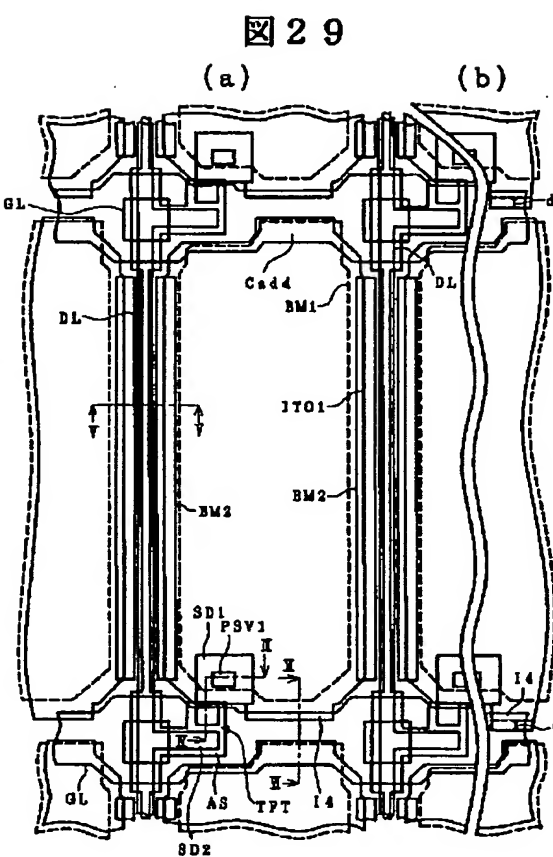


【図 30】

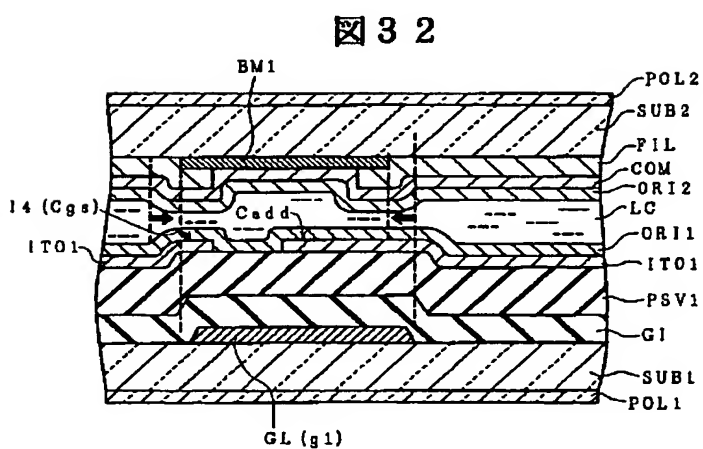
図 30



【图 29】

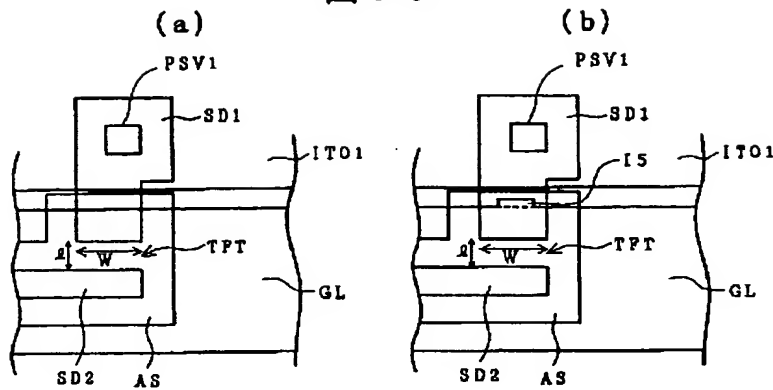


【图 3 2】



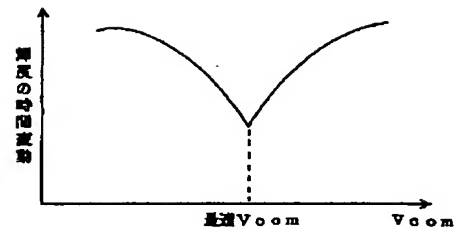
【図33】

図33



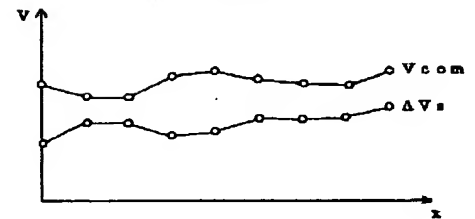
【図46】

図46



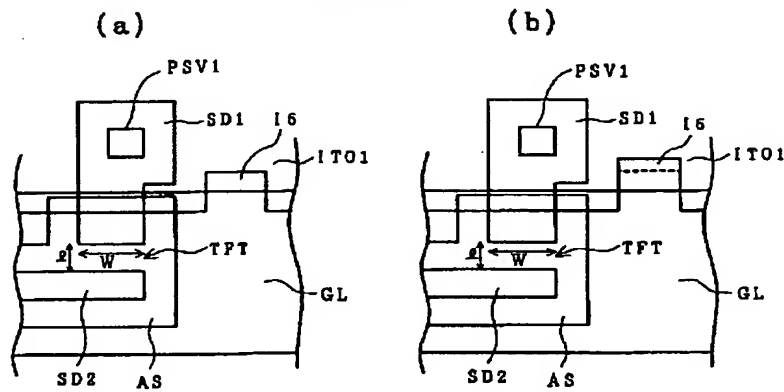
【図47】

図47



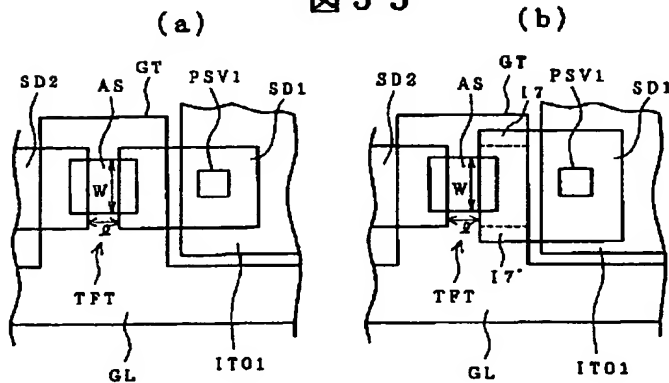
【図34】

図34



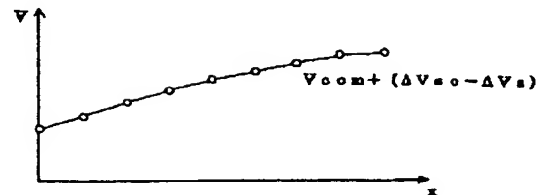
【図35】

図35



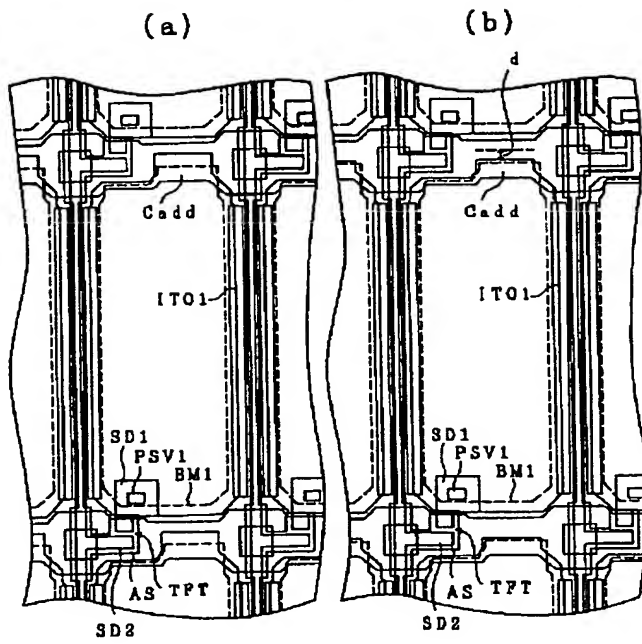
【図48】

図48



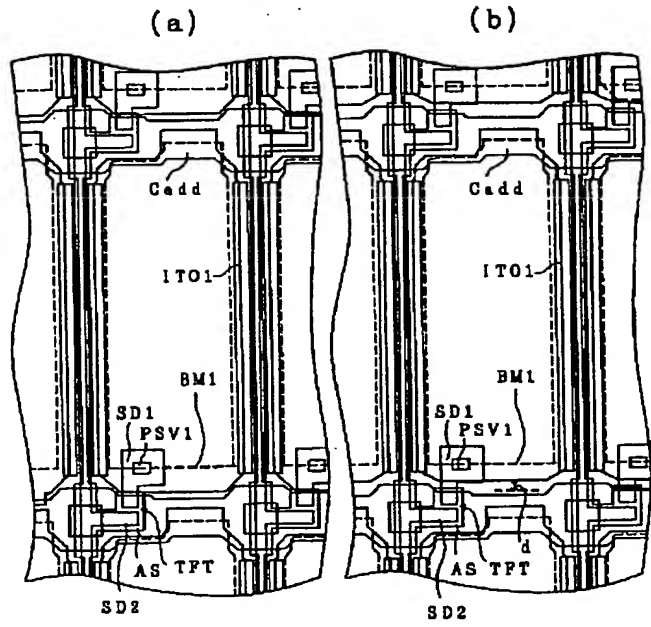
【図36】

図36



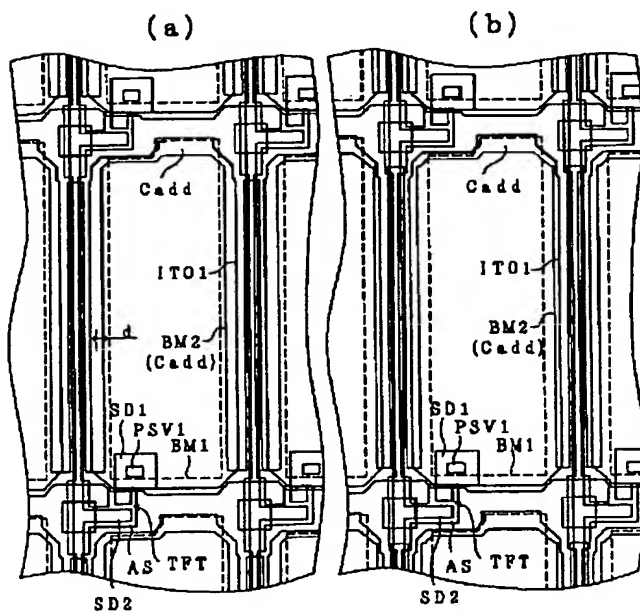
【図37】

図37



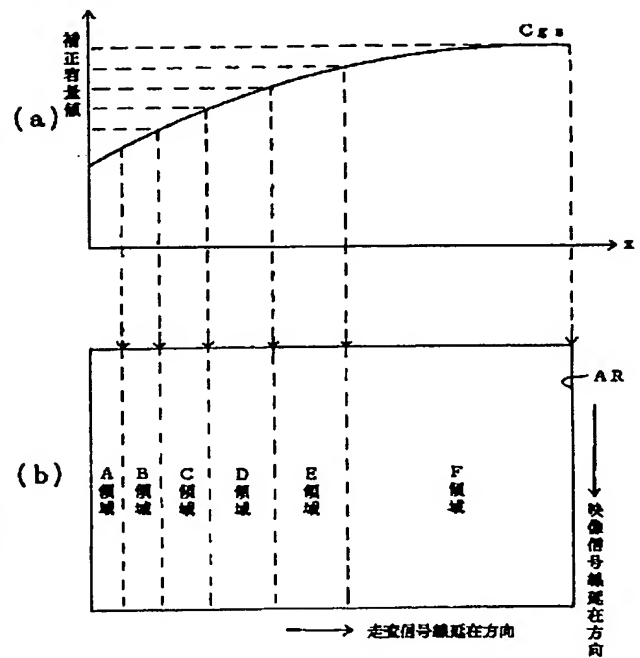
【図38】

図38



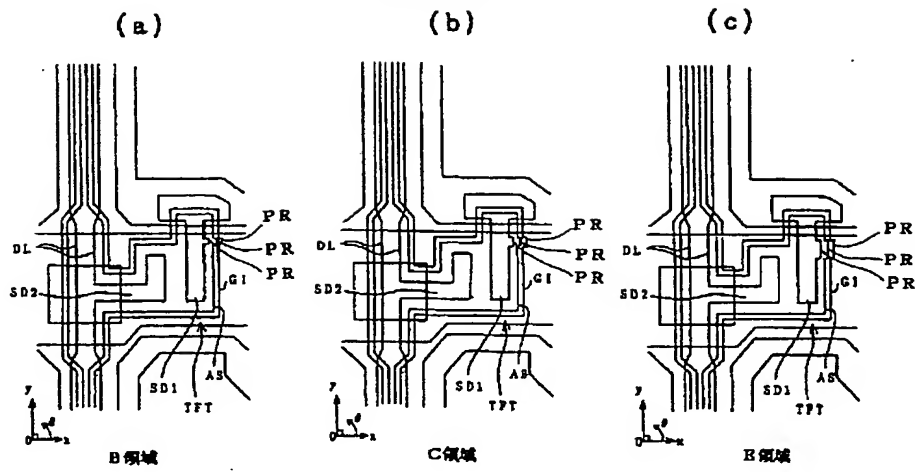
【図39】

図39



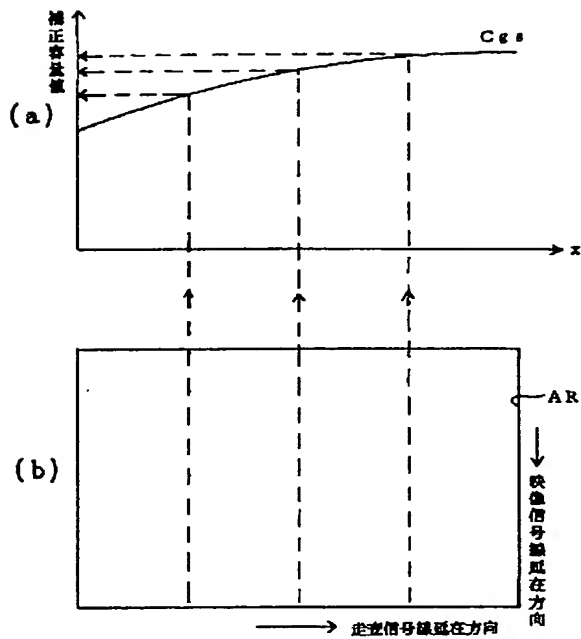
【圖40】

圖40



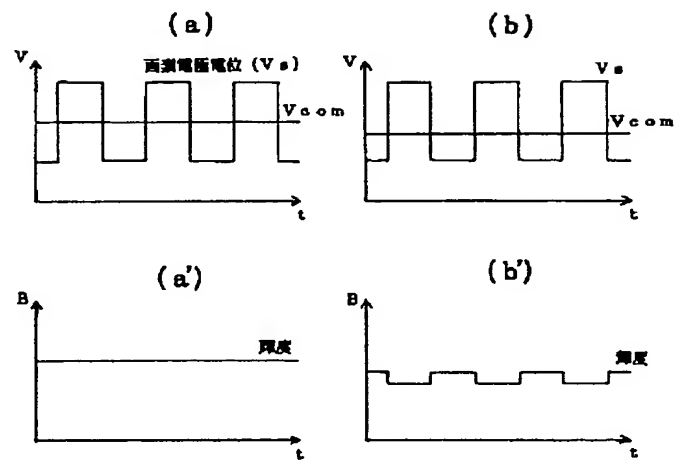
【圖42】

圖42



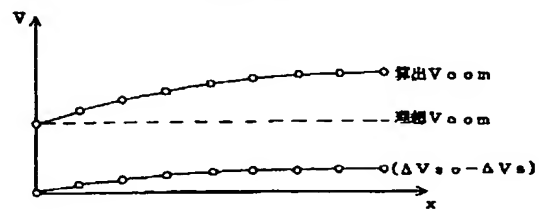
【圖45】

圖45



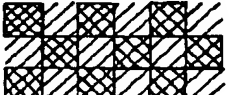
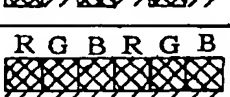



【圖49】

圖49



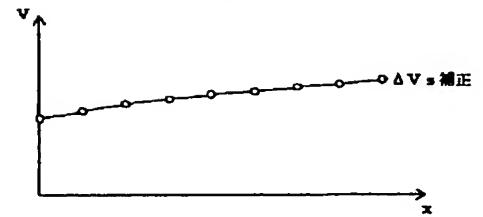
【図44】

図44

駆動方式	液晶印加電圧極性	V _{oom} 測定パターン
ドット反転駆動	R G B R G B	R G B R G B
	+ - + - + -	
	- + - + - +	
ライン反転駆動	R G B R G B	R G B R G B
	+ + + + + +	
	- - - - - -	
	+ + + + + +	

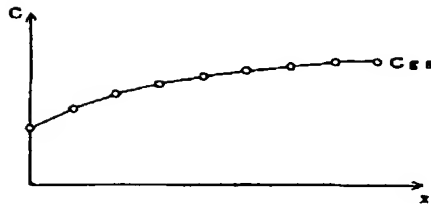
【図50】

図50



【図51】

図51



フロントページの続き

(72)発明者 箱田 秀孝
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

Fターム(参考) 2H092 JA24 JB22 JB46 JB69 MA05
MA07 MA10 MA15 MA29 NA07
NA22 NA25 PA06 PA08 QA05
2H093 ND10 NE07 NE10
5C006 AA22 AF42 BB14 BB16 BC03
BC06 BC12 FA23 FA37 FA54
5C094 AA04 AA43 AA53 AA55 BA03
BA43 CA19 DB04 EA04 EA10
FA01 FA04 FB12 GB10